

Corso 01AUJ - Elettronica per le Telecomunicazioni

Anno Accademico 2002-03

Esercitazione 7 - 9-11 Aprile 2003

Contatore su logica programmabile

Scopo dell'esercitazione è il progetto in VHDL di un contatore binario/decimale up/down presettabile con uscita per display a sette segmenti. Il contatore deve essere realizzato mediante dispositivo logico programmabile (FPGA) sulla scheda Altera UP1.

Progetto

Descrivere in VHDL un circuito formato da:

1. un contatore a quattro bit, dotato dei seguenti ingressi (oltre all'ingresso di clock, **clk**):

| Nome | Funzione se a 1 | Funzione se a 0 |
|-----------------------|--|-----------------------|
| Up_down | conteggio in salita | conteggio in discesa; |
| Bin_dec | conteggio modulo 16 | conteggio modulo 10; |
| PE | Trasferimento asincrono sulle uscite dei valori presenti sugli ingressi P_n | conteggio normale |
| P0, P1, P2, P3 | I valori presenti su questi ingressi sono copiati sulle uscite Q0, Q1, Q2, Q3 se PE=1 , sono ignorati altrimenti | |

Le uscite del contatore sono i segnali **Q0, Q1, Q2, Q3**.

2. Un decodificatore Binario-7 segmenti, che converte le uscite del contatore nei sette segnali necessari a pilotare una cifra del display a 7 segmenti presente sulla scheda UP1. La conversione deve operare anche sui valori d'uscita da 10 a 15, visualizzandoli come **AbCdEF**. I segmenti del display sono accesi se il segnale relativo vale 0!

Passi operativi

Descrivere in VHDL il circuito. Le uscite del contatore sono dei segnali interni, definiti a livello di architecture. Gli ingressi del contatore sono invece ingressi della Entity, così come le uscite del decodificatore.

Compilare il progetto e programmare il dispositivo seguendo le linee riportate nel documento "Compilazione di un progetto VHDL per la scheda Altera UP1".

Prestare attenzione al fatto che occorre definire correttamente le connessioni tra FPGA e display, specificando i piedini relativi del dispositivo secondo le tabelle e il metodo riportati nel documento citato. Gli ingressi del contatore possono essere lasciati definibili dal sistema, ma è necessario specificare come clock, **clk**, il pin 2, in quanto il segnale di default sarebbe il pin 83, collegato sulla scheda a un generatore a 25MHz.

Collegare al pin 2 (e a massa) l'uscita del generatore di segnali, programmato per generare un'onda quadra a 1Hz, DOPO AVER VERIFICATO che i livelli d'uscita siano regolati per livello basso: 0V; livello alto: 4V. **IN CASO CONTRARIO SI RISCHIA DI DISTRUGGERE L'FPGA che ha un costo non indifferente che sarà addebitato agli "sbadati"**. Collegare l'ingresso **PE** ad un pulsante di quelli presenti sulla scheda, gli altri ingressi ai DIP SWITCH (banchi di interruttori). Verificare il funzionamento del circuito.