LABORATORIO DI ARCHITETTURA DEI CALCOLATORI
lezione n°10

Prof. Rosario Cerbone

rosario.cerbone@libero.it

http://digilander.libero.it/rosario.cerbone

a.a. 2005-2006

Sintesi di Reti Sequenziali Sincrone

- **Il procedimento generale di sintesi si svolge nei seguenti passi:**

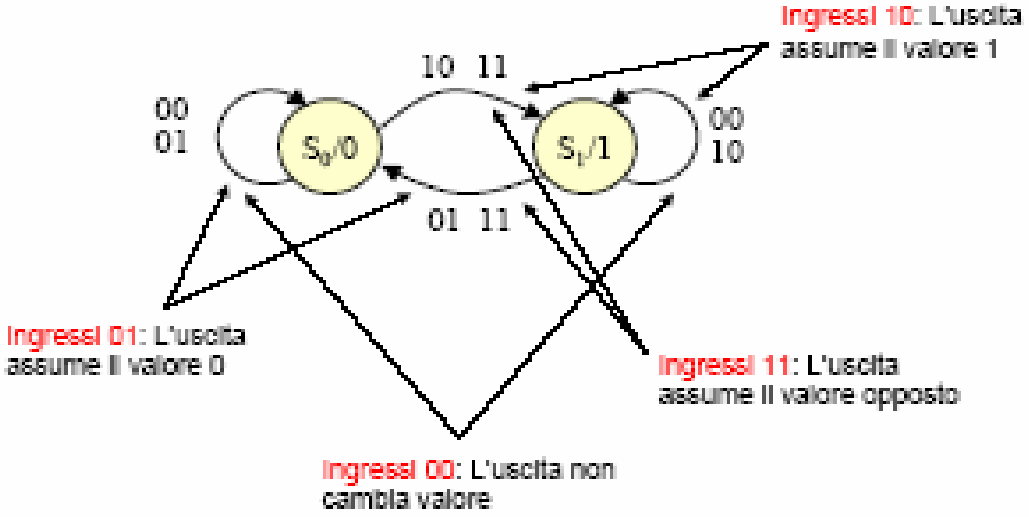
1. Realizzazione del diagramma degli stati a partire dalle specifiche del problema
2. Costruzione della tabella degli stati
3. ***Minimizzazione del numero degli stati***
4. Codifica degli stati interni
5. Costruzione della tabella delle transizioni
6. Scelta degli elementi di memoria
7. Costruzione della tabella delle eccitazioni
8. Sintesi sia della rete combinatoria che realizza la funzione stato prossimo sia di quella che realizza la funzione d'uscita

Esempio 9.c

- **Specifica**
- Realizzare la sintesi di un sistema con due ingressi ed una uscita che abbia il seguente comportamento:
- Ingressi 00: l'uscita non cambia valore
- Ingressi 01: l'uscita assume il valore 0
- Ingressi 10: l'uscita assume il valore 1
- Ingressi 11: l'uscita assume il valore opposto

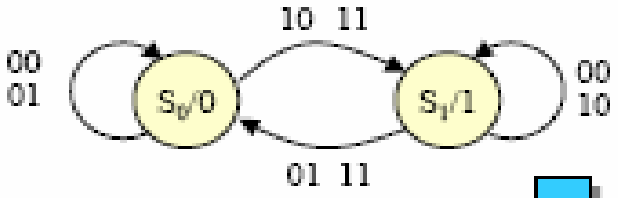
Esempio 9.c

- Passo 1 (Diagramma degli stati)



Esempio 9.c

- Passo 2 (Tabella degli stati)



Stato	Ingresso 00	01	11	10	Uscita
S_0	S_0	S_0	S_1	S_1	0
S_1	S_1	S_0	S_0	S_1	1

Esempio 9.c

Stato	Ingresso 00	01	11	10	Uscita
S_0	S_0	S_0	S_1	S_1	0
S_1	S_1	S_0	S_0	S_1	1

- Passo 4 (Codifica degli stati interni)
  - Es. Codifica Naturale
    - $S_0 = 0$ $S_1 = 1$ $S_0 = 1$ $S_1 = 0$
- Passo 5 (Tabella delle transizioni)

Stato	Ingresso 00	01	11	10	Uscita
0	0	0	1	1	0
1	1	0	0	1	1

Stato	Ingresso 00	01	11	10	Uscita
1	1	1	0	0	0
0	0	1	1	0	1

Esempio 9.c

Stato	Ingresso 00	01	11	10	Uscita
S_0	S_0	S_0	S_1	S_1	0
S_1	S_1	S_0	S_0	S_1	1

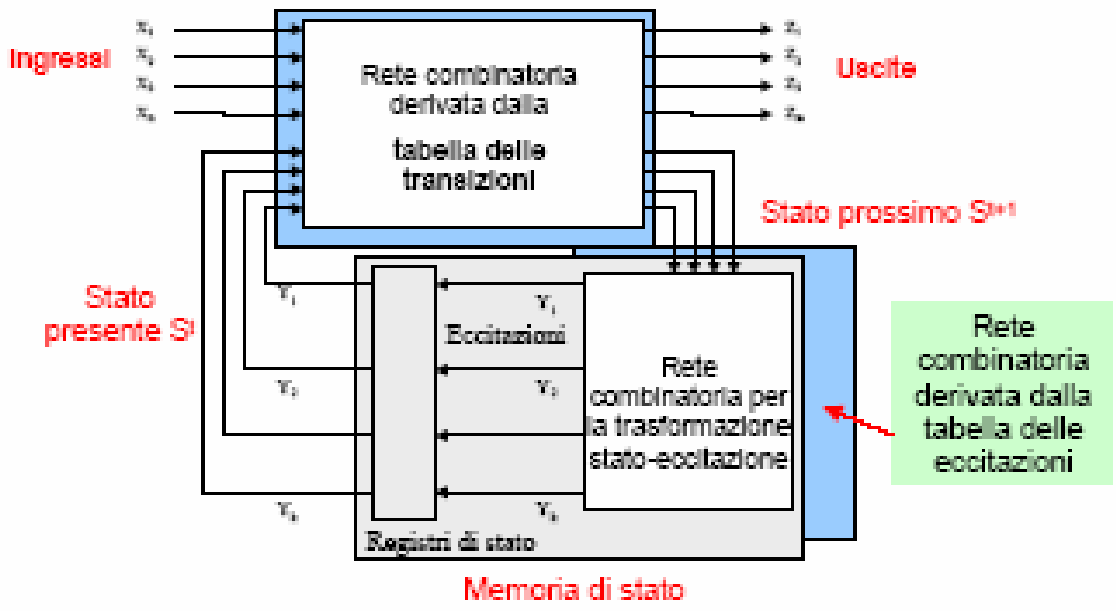
- Passo 4 (Codifica degli stati interni)
  - Es. One-Hot
    - $S_0 = 01$ $S_1 = 10$
- Passo 5 (Tabella delle transizioni)

Stato	Ingresso 00	01	11	10	Uscita
01	01	01	10	10	0
10	10	01	01	10	1

Scelta degli Elementi di Memoria

- La tabella delle transizioni descrive la relazione tra i bit dello stato presente e quelli dello stato futuro
  - La configurazione in bit dello stato presente è in diretta corrispondenza con l'uscita degli elementi di memoria
  - La configurazione in bit dello stato futuro indica ciò che si vuole ottenere
- Cambiando il tipo dei bistabili variano i segnali che bisogna generare per realizzare la transizione stato presente-stato futuro
- I segnali di ingresso di un bistabile prendono il nome di eccitazioni
- La tabella delle eccitazione di un bistabile rappresenta lo strumento per passare dalla tabella delle transizioni alla tabella delle eccitazioni di una specifica macchina a stati

Scelta degli Elementi di Memoria



Scelta degli Elementi di Memoria

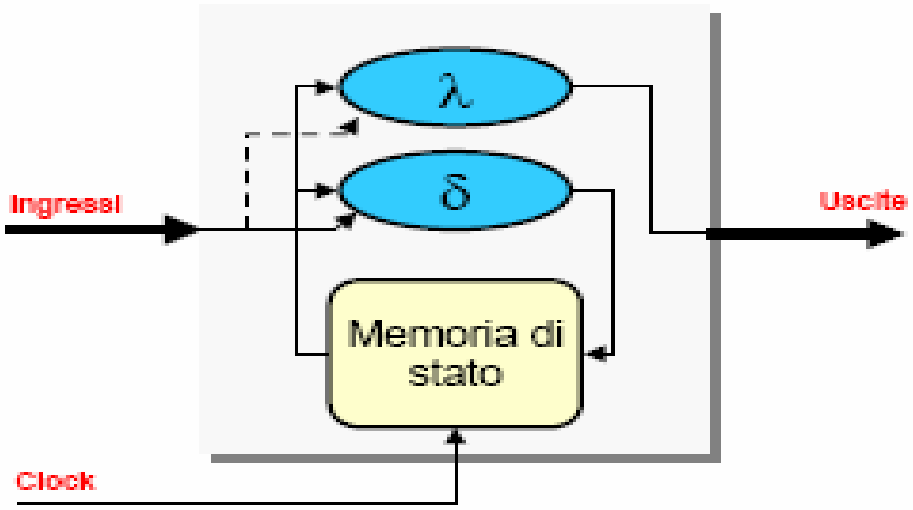
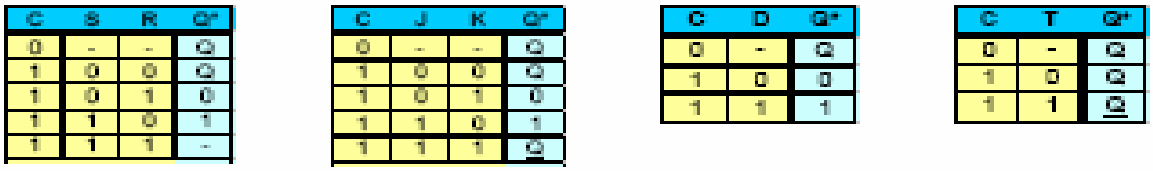
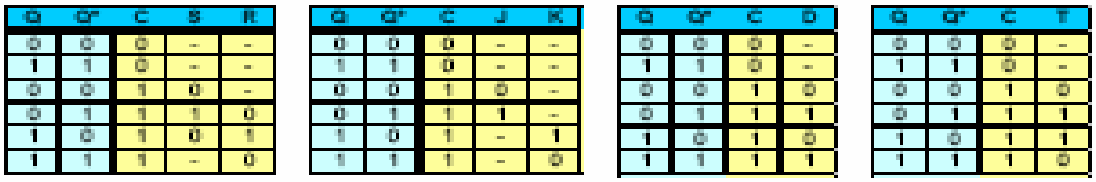


Tabelle delle Transizioni ed Eccitazioni

- Tabelle delle Transizioni



- Tabelle delle Eccitazioni



Scelta Bistabile e Costruzione Tabella delle Eccitazioni

- Bistabile SR
- Bistabile JK
- Bistabile D
- Bistabile T

Scelta Bistabile e Costruzione Tabella delle Eccitazioni

- (Passo 3) Codifica Naturale

S_0=0, S_1=1

- (Passo 5) Tabella delle Transizioni

Q	$I_H I_L$ = 00	01	11	10	Uscita
0	0	0	1	1	0
1	1	0	0	1	1

- (Passo 6) Scelta del Bistabile

Q	Q'	S	R
0	0	-	-
1	1	0	
0	0	0	-
0	1	1	
1	0	0	1
1	1		0

- (Passo 7) Costruzione Tabella delle eccitazioni

Q	$I_H I_L$ = 00	01	11	10	Uscita
0	0-	0-	10	10	0
1	-0	01	01	-0	1

Sintesi

Stato	$I_H I_L$ = 00	01	11	10	Uscita
0	0-	0-	10	10	0
1	-0	01	01	-0	1

U = Q

Tabella delle eccitazioni

- (Passo 8) Sintesi

Mappa di Karnaugh per S

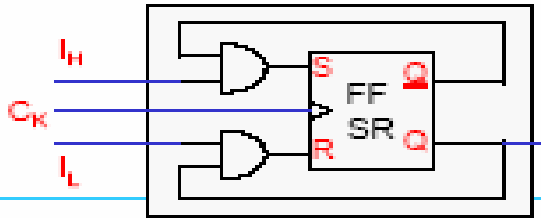
Q	$I_H I_L$ = 00	01	11	10
0	0	0	1	1
1	-	0	0	-

$S = I_H \overline{Q}$

Mappa di Karnaugh per R

Q	$I_H I_L$ = 00	01	11	10
0	-	-	0	0
1	0	1	1	0

$R = I_L Q$



Scelta Bistabile e Costruzione Tabella delle Eccitazioni

- (Passo 3) Codifica Naturale S_0=0, S_1=1
- (Passo 5) Tabella delle Transizioni
- (Passo 6) Scelta del Bistabile
- (Passo 7) Costruzione Tabella delle eccitazioni

Q	$I_H I_L$ = 00	01	11	10	Uscita
0	0	0	1	1	0
1	1	0	0	1	1

Q	Q'	C	J	K
0	0	0	-	-
1	1	0	-	-
0	0	1	0	-
0	1	1	1	-
1	0	1	-	1
1	1	1	-	0

Q	$I_H I_L$ = 00	01	11	10	Uscita
0	0-	0-	1-	1-	0
1	-0	-1	-1	-0	1

Sintesi

Q	$I_H I_L$ = 00	01	11	10	Uscita
0	0-	0-	1-	1-	0
1	-0	-1	-1	-0	1

U = Q

Tabella delle eccitazioni

- (Passo 8) Sintesi

Mappa di Karnaugh per J

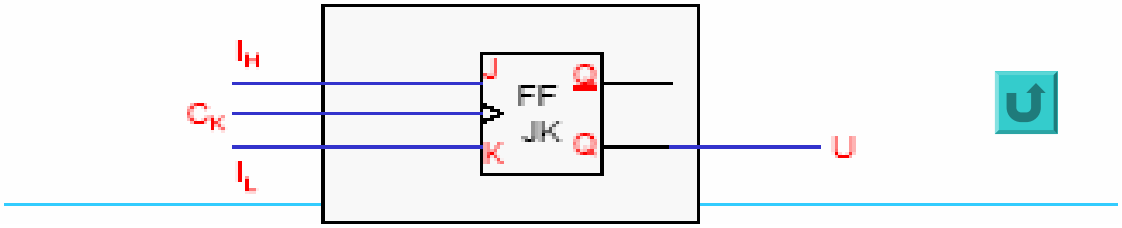
Q	$I_H I_L$ = 00	01	11	10
0	0	0	1	1
1	-	-	-	-

$J = I_H$

Mappa di Karnaugh per K

Q	$I_H I_L$ = 00	01	11	10
0	-	-	-	-
1	0	1	1	0

$R = I_L$



Scelta Bistabile e Costruzione Tabella delle Eccitazioni

- (Passo 3) Codifica Naturale S_0=0, S_1=1
- (Passo 5) Tabella delle Transizioni

Q	$I_H I_L$ = 00	01	11	10	Uscita
0	0	0	1	1	0
1	1	0	0	1	1

- (Passo 6) Scelta del Bistabile

Q	Q'	C	D
0	0	0	-
1	1	0	-
0	0	1	0
0	1	1	1
1	0	1	0
1	1	1	1

- (Passo 7) Costruzione Tabella delle eccitazioni

Q	$I_H I_L$ = 00	01	11	10	Uscita
0	0	0	1	1	0
1	1	0	0	1	1

Sintesi

Q	$I_H I_L$ = 00	01	11	10	Uscita
0	0	0	1	1	0
1	1	0	0	1	1

U = Q

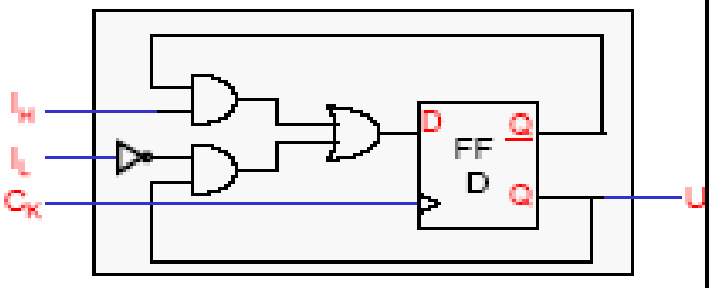
Tabella delle eccitazioni

- (Passo 8) Sintesi

Mappa di Karnaugh per D

Q	$I_H I_L$ = 00	01	11	10
0	0	0	1	1
1	1	0	0	1

$D = I_H \overline{Q} + \overline{I_L} Q$



Scelta Bistabile e Costruzione Tabella delle Eccitazioni

- (Passo 3) Codifica Naturale

S_0=0, S_1=1

- (Passo 5) Tabella delle Transizioni

Q	$I_H I_L$ = 00	01	11	10	Uscita
0	0	0	1	1	0
1	1	0	0	1	1

- (Passo 6) Scelta del Bistabile

Q	Q'	C	T
0	0	0	-
1	1	0	-
0	0	1	0
0	1	1	1
1	0	1	1
1	1	1	0

- (Passo 7) Costruzione Tabella delle eccitazioni

Q	$I_H I_L$ = 00	01	11	10	Uscita
0	0	0	1	1	0
1	0	1	1	0	1

Sintesi

Q	$I_H I_L$ = 00	01	11	10	Uscita
0	0	0	1	1	0
1	0	1	1	0	1

U = Q

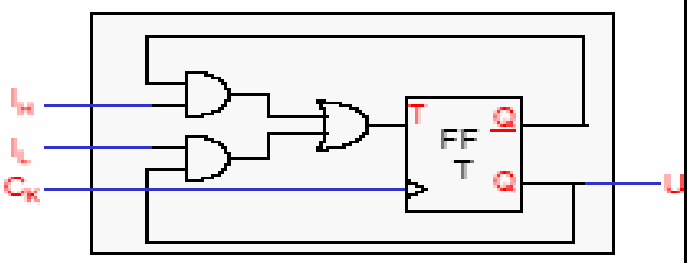
Tabella delle eccitazioni

- (Passo 8) Sintesi

Mappa di Karnaugh per T

Q	$I_H I_L$ = 00	01	11	10
0	0	0	1	1
1	0	1	1	0

$T = I_H\overline{Q} + I_L Q$

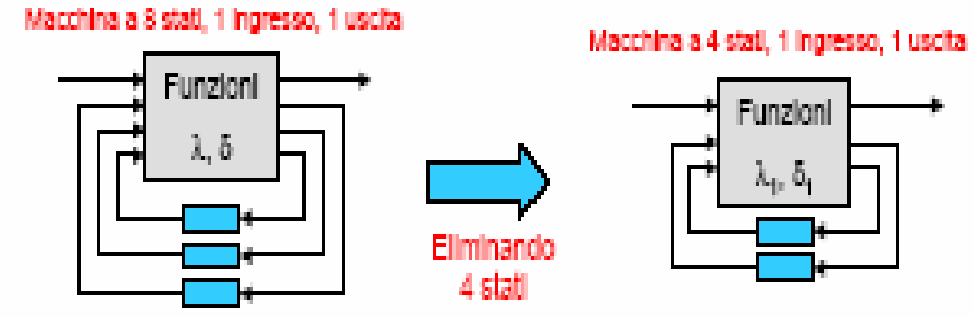


Minimizzazione degli Stati

- Il procedimento generale di sintesi si svolge nei seguenti
- passi:
- **1.** Realizzazione del diagramma degli stati a partire dalle specifiche
- del problema
- **2.** Costruzione della tabella degli stati
- **3. Minimizzazione del numero degli stati**
- **4.** Codifica degli stati interni
- **5.** Costruzione della tabella delle transizioni
- **6.** Scelta degli elementi di memoria
- **7.** Costruzione della tabella delle eccitazioni
- **8.** Sintesi sia della rete combinatoria che realizza la funzione stato
- prossimo sia di quella che realizza la funzione d'uscita

Motivazioni

- Il numero minimo di elementi di memoria necessari a memorizzare gli stati dell'insieme S è Nmin=intsup(log2 |S|)
- Nel modello di una macchina a stati possono esistere degli stati ridondanti
- L'identificazione ed eliminazione degli stati ridondanti comporta
  - Reti combinatorie meno costose
  - Minori elementi di memoria

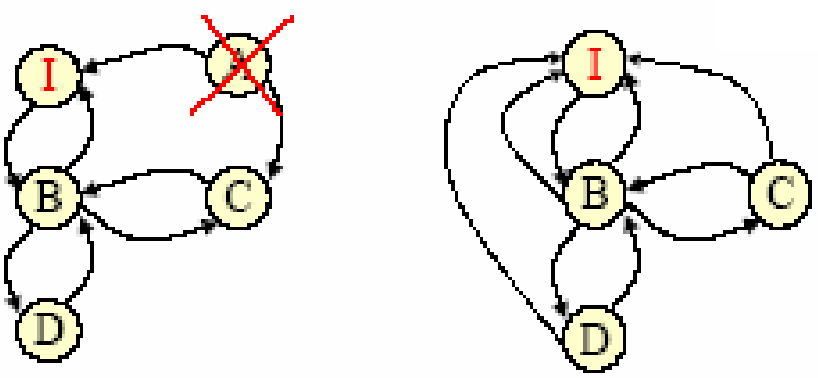


Obiettivi

- Obiettivo della riduzione del numero degli stati è l'individuazione di una macchina minima equivalente, ovvero funzionalmente equivalente e con il minimo numero di stati
- La riduzione viene realizzata in due fasi
- Eliminazione degli stati non raggiungibili partendo dallo stato iniziale
- Identificazione degli stati
  - Equivalenti, per le macchine completamente specificate
  - Compatibili, per le macchine non completamente specificate

Stati Irraggiungibili

- Uno stato è irraggiungibile se non esiste alcuna sequenza di transizione di stato che porti dallo stato iniziale in tale stato



Minimizzazione di Macchine Completamente Specificate

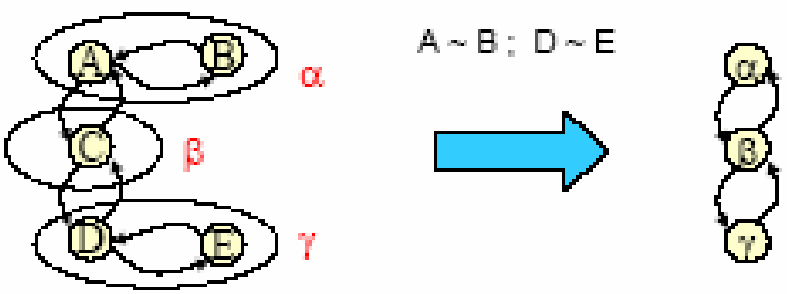
Definizioni

- Siano:
- **Iα** una sequenza d' ingresso {ij, …, ik}
- **Uα**, sequenza d'uscita ad essa associata ottenuta attraverso λ
- **si, sj** due generici stati
- Due stati si e sj appartenenti ad S sono *indistinguibili* se
- Uα,i=L(si, Iα) = L(sj, Iα) = Uα,j ∀ Iα
- Cioè se per qualsiasi sequenza di ingresso le uscite generate partendo da si o da sj sono le stesse
- L'indistinguibilità tra si e sj si indica con si ~ sj
- La relazione di indistinguibilità gode di tre proprietà
  - Riflessiva: si ~ si
  - Simmetrica: si ~ sj ↔ sj ~ si
  - Transitiva: si ~ sj ∧ sj ~ sk → si ~ sk

Minimizzazione di Macchine Completamente Specificate

Classi di Stati Equivalenti

- Due stati indistinguibili sono equivalenti e possono essere sostituiti da un solo stato
- Un gruppo di stati tra loro equivalenti può essere raggruppato in un'unica classe
- L'insieme di classi individuate determina l'insieme di stati della macchina minima equivalente



Minimizzazione di Macchine Completamente Specificate

Regola di Paull-Unger

- La definizione di indistinguibilità è di difficile applicabilità poiché richiederebbe di considerare tutte le sequenze di ingresso
- Regola di Paull-Unger
- Due stati si e sj sono indistinguibili se e solo se
- $\lambda(si,i) = \lambda(sj,i) \ \forall \ i \in I$ ovvero le uscite sono uguali per tutti i simboli d'ingresso
- $\delta(si,i) = \delta(sj,i) \ \forall \ i \in I$ ovvero gli stati prossimi sono indistinguibili per tutti i simboli d'ingresso
- La regola è iterativa

Minimizzazione di Macchine Completamente Specificate

Regola Paull-Unger - Esempio

	0	1
a	d/0	b/1
b	e/0	b/1
c	a/1	c/1
d	b/1	c/0
e	a/1	c/0

a e **b** hanno la stessa uscita
se gli stati futuri **d** ed **e** sono indistinguibili, **a** ~ **b**

d ed **e** hanno la stessa uscita
se gli stati futuri **a** ed **b** sono indistinguibili, **d** ~ **e**

a non è indistinguibile da **c**,**d** ed **e** poiché ha una differente uscita

Macchina minima equivalente

	0	1
α	γ /0	α /1
β	α /1	β /1
γ	α /1	β /0

Poiché l'indistinguibilità tra **a** e **b** dipende da quella tra **d** ed **e** e viceversa, possiamo concludere che **a** ~ **b, d** ~ **e**

Le classi di indistinguibilità sono:
α={a, b}, β={c}, γ={d, e}

Minimizzazione di Macchine Completamente Specificate

Regola di Paull-Unger

- Poiché gli insiemi I ed S hanno cardinalità finita, dopo un numero finito di passi si verifica una delle due condizioni:
- si≠~sj se i simboli d'uscita sono diversi o gli stati prossimi sono distinguibili
- si~sj se i simboli d'uscita sono uguali e gli stati prossimi sono indistinguibili

Minimizzazione di Macchine Completamente Specificate

Regola Paull-Unger - Tabella delle Implicazioni

- Le relazioni di indistinguibilità possono essere identificate mediante la **Tabella delle Implicazioni**
  - Mette in relazione ogni coppia di stati
  - È triangolare (proprietà simmetrica) e priva di diagonale principale
- Ogni elemento della tabella contiene
  - Il simbolo di non equivalenza (X) o di equivalenza (~)
  - La coppia di stati a cui si rimanda la verifica, se non è possibile pronunciarsi sulla equivalenza degli stati corrispondenti

S1	x		
S2	x	~	
S3	S1,S2	x	x
	S0	S1	S2

Minimizzazione di Macchine Completamente Specificate
Regola Paull-Unger - Tabella delle Implicazioni

- Per ogni coppia di stati
  - Se è marcata come equivalente non è richiesta una ulteriore verifica
  - Se si rimanda ad un'altra coppia
    - Se questi stati sono equivalenti anche gli stati della coppia in esame sono equivalenti
    - Se questi sono non equivalenti anche gli stati della coppia in esame sono non equivalenti
    - Se gli stati della coppia cui si rimanda dipendono da una coppia ulteriore si ripete il procedimento in modo iterativo
- L'analisi termina quando non sono più possibili eliminazioni
- Le coppie rimaste sono equivalenti

Minimizzazione di Macchine Completamente Specificate
Regola di Paull-Unger - Tabella delle Implicazioni

	0	1
a	g/0	e/1
b	c/0	a/1
c	e/1	g/0
d	b/0	e/1
e	g/0	a/1
f	d/1	f/0
g	a/1	g/0

	a	b	c	d	e	f
b	cg ae					
c	x	x				
d	bg	bc ae	x			
e	~	cg	x	bg ae		
f	x	x	de fg	x	x	
g	x	x	ae	x	x	ad

Minimizzazione di Macchine Completamente Specificate
Regola Paull-Unger - Tabella delle Implicazioni

	a	b	c	d	e	f
b	cg ae					
c	x	x				
d	bg	bc ae	x			
e	~	cg	x	bg ae		
f	x	x	de fg	x	x	
g	x	x	ae	x	x	ad

Analisi delle coppie degli stati

b-a: c-g è indistinguibile se lo è a-e → b~a

d-a: b-g è distinguibile → d~a

d-b: b-c è distinguibile → d~b

e-b: c-g è indistinguibile se lo è a-e → b~e

e-d: b-g è distinguibile → e~d

f-c: d-e è indistinguibile se lo è b-g → f~c

g-c: a-e è indistinguibile → g~c

g-f: a-d è indistinguibile se lo è b-g → g~f

Minimizzazione di Macchine Completamente Specificate
Regola Paull-Unger - Tabella delle Implicazioni

	a	b	c	d	e	f
b	~					
c	x	x				
d	x	x	x			
e	~	~	x	x		
f	x	x	x	x	x	
g	x	x	~	x	x	x

Classi di indistinguibilità

α = {a,b,e}
β = {c,g}
γ = {d}
δ = {f}

Tabella degli stati minima equivalente

	0	1
α	β /0	α /1
β	α /1	β /0
γ	α /0	α /1
δ	γ /1	δ /0

Minimizzazione di Macchine Completamente Specificate
Regola di Paull-Unger - Osservazioni

- Per le FSM completamente specificate l'algoritmo di Paull-Unger
  - Consente di identificare in maniera esatta la FSM minima equivalente
    - La partizione di equivalenza è unica (ogni stato appartiene ad una ed una sola classe)
  - Ha una complessità esponenziale con il numero di stati

Macchine non completamente specificate
Definizioni

- Sono macchine in cui per alcune configurazioni degli ingressi e stati correnti non sono specificati gli stati futuri e/o le configurazioni d'uscita
- Due stati si e sj si dicono compatibili ($si \approx sj$)
  - Se, assunti come stati iniziali, per ogni possibile sequenza di ingresso (grande a piacere) danno luogo a sequenze di simboli d'uscita identici a meno di condizioni di indifferenza

Macchine non completamente specificate
Regola di Paull-Unger Estesa

- La compatibilità è una relazione meno forte di quella di indistinguibilità, non vale la proprietà transitiva

	0	1
A	C/1	A/-
B	C/-	A/1
C	C/0	A/-

A≈B; B≈C ma A ≉ C

La regola di Paull-Unger è stata estesa per trattare il caso di macchine non completamente specificate

Due stati si e sj sono compatibili se e solo se

- λ(si,i) = λ(sj,i) ∀ i ∈ I ovunque sono entrambi specificati
- δ(si,i) ≈ δ(sj,i) ∀ i ∈ I ovunque sono entrambi specificati

La suddetta definizione è ricorsiva

Modellazione e minimizzazione di circuiti sequenziali in SIS

- Per modellare un circuito sequenziale in SIS è necessario definire la tabella delle transizioni ed eventualmente la codifica degli stati (esiste un comando che permette di eseguire la codifica in modo automatico).

Modellazione e minimizzazione di circuiti sequenziali in SIS

- La tabella delle transizioni deve essere descritta all'interno delle keyword **.start_kiss** e **.end_kiss** dopo aver definito
- **.model**
- **.inputs**
- **.outputs**.
- Le transizioni devono essere specificate come un insieme di righe che riportano in ordine: valore degli ingressi, stato presente, stato prossimo, valore delle uscite.

Modellazione e minimizzazione di circuiti sequenziali in SIS

- La tabella delle transizioni deve essere preceduta da 5 righe che specificano il numero di input, il numero di output, il numero di transizioni (opzionale), il numero di stati e lo stato di reset.
- Dopo la tabella delle transizioni (dopo **.end_kiss**) possono essere riportate le istruzioni necessarie per definire la codifica degli stati qualora non si decida di farla definire a SIS in modo automatico. La keyword da utilizzare per definire la codifica è **.code** seguita dal nome dello stato e dalla sua codifica binaria.

Modellazione e minimizzazione di circuiti sequenziali in SIS

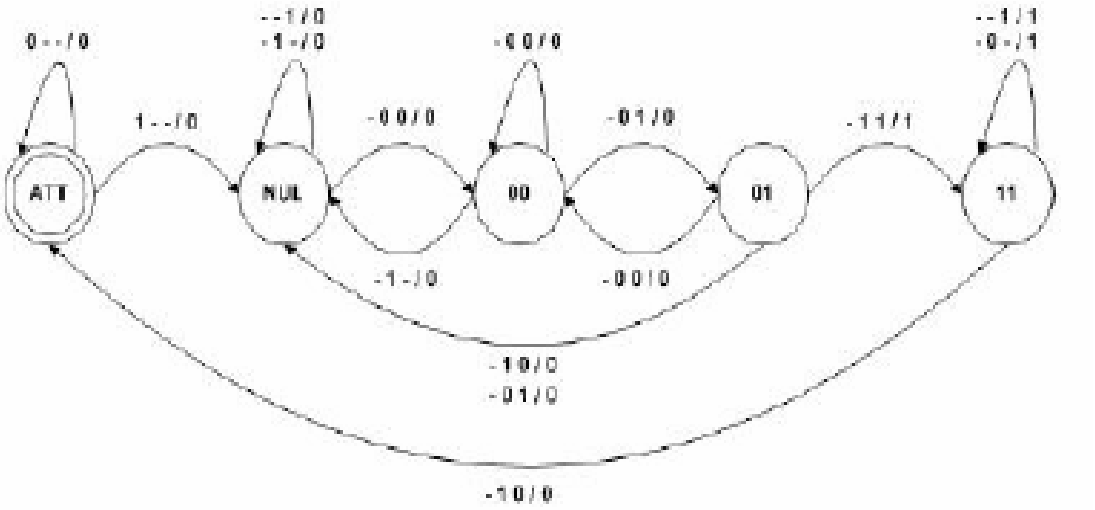
- Dopo aver modellato il circuito, è possibile procedere con la minimizzazione degli stati.
- Una volta caricato il file .blif con il comando read_blif, la minimizzazione degli stati si esegue con il comando **state_minimize stamina**. Quindi è possibile eseguire la minimizzazione della logica combinatoria, ad esempio lanciando lo script script.rugged come visto per minimizzazione dei circuiti combinatori.

Esempio

- Si consideri il circuito sequenziale che è in grado di riconoscere la sequenza di ingresso 00 01 11, (ingresso IN a 2 bit).
- Il circuito è attivo ed inizia ad analizzare i valori dell'ingresso IN quando l'ingresso START passa da 0 a 1.
- Nello stesso ciclo di clock in cui viene riconosciuta la sequenza 00 01 11, l'uscita OUT passa da 0 a 1.
- OUT rimane a 1 fino a quando gli ingressi assumeranno il valore 10; momento in cui il circuito viene nuovamente posto in attesa che il segnale START passi da 0 a 1.

Esempio

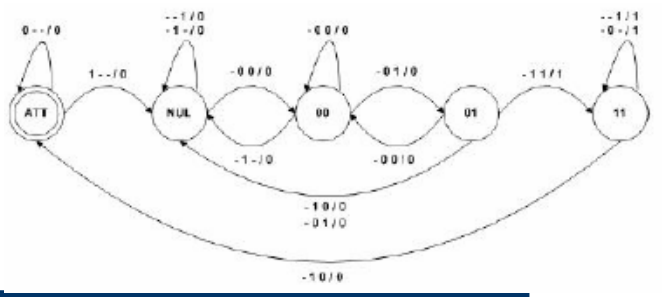
- La seguente figura illustra il grafo di transizione degli stati.



Esempio

- Nello stato ATT, il circuito è in attesa che il segnale di start commuti da 0 a 1. Gli altri 4 stati indicano che una porzione della sequenza è stata riconosciuta. Si noti che se nello stato 01 viene applicato l'input 00, l'automa anziché portarsi nello stato NUL si sposta nello stato 00 riconoscendo l'inizio di una sequenza valida.
- Scegliendo di codificare gli stati come ATT = 000, NUL = 001, 00 = 010, 01 = 011 e 11 = 100, si riporta di seguito la tabella di verità della funzione dello stato prossimo e dell'uscita OUT. Lo stato attuale è codificato mediante i bit a2 a1 a0, mentre lo stato prossimo è codificato con i bit s2 s1 s0.

Esempio



a2	a1	a0	START	IN1	IN0	s2	s1	s0	OUT
0	0	0	0	-	-	0	0	0	0
0	0	0	1	-	-	0	0	1	0
0	0	1	-	0	0	0	1	0	0
0	0	1	-	-	1	0	0	1	0
0	0	1	-	1	-	0	0	1	0
0	1	0	-	0	0	0	1	0	0
0	1	0	-	0	1	0	1	1	0
0	1	0	-	1	-	0	0	1	0
0	1	1	-	1	1	1	0	0	1
0	1	1	-	0	0	0	1	0	0
0	1	1	-	1	0	0	0	1	0
0	1	1	-	0	1	0	0	1	0
1	0	0	-	1	0	0	0	0	0
1	0	0	-	0	-	1	0	0	0
1	0	0	-	-	1	1	0	0	1
1	0	0	-	0	-	1	0	0	1

Esempio

- La rappresentazione nel formato blif è la seguente:
- .model automa
- .inputs START IN1 IN0
- .outputs OUT
- .start_kiss
- .i 3 *#numero di segnali di ingresso*
- .o 1 *#numero di segnali di uscita*
- .s 5 *#numero di stati*
- .p 15 *#numero di transizioni*
- .r ATT *#stato di reset*

Esempio

- *#tabella delle transizioni*
- *#(ingressi, stato presente, stato prossimo, uscita)*
- 0-- ATT ATT 0
- 1-- ATT NUL 0
- --1 NUL NUL 0
- -1- NUL NUL 0
- -00 NUL 00 0
- -00 00 00 0
- -1- 00 NUL 0
- -01 00 01 0
- -00 01 00 0
- -10 01 NUL 0
- -01 01 NUL 0
- -11 01 11 1
- --1 11 11 1
- -0- 11 11 1
- -10 11 ATT 0
- .end_kiss

a2	a1	a0	START	IN1	IN0	s2	s1	s0	OUT
0	0	0	0	-	-	0	0	0	0
0	0	0	1	-	-	0	0	1	0
0	0	1	-	0	0	0	1	0	0
0	0	1	-	-	1	0	0	1	0
0	0	1	-	1	-	0	0	1	0
0	1	0	-	0	0	0	1	0	0
0	1	0	-	0	1	0	1	1	0
0	1	0	-	1	-	0	0	1	0
0	1	1	-	1	1	1	0	0	1
0	1	1	-	0	0	0	1	0	0
0	1	1	-	1	0	0	0	1	0
0	1	1	-	0	1	0	0	1	0
1	0	0	-	1	0	0	0	0	0
1	0	0	-	0	-	1	0	0	0
1	0	0	-	-	1	1	0	0	1
1	0	0	-	0	-	1	0	0	1

Esempio

- *#codifica degli stati.*
- *#E' opzionale perché può essere calcolata automaticamente*
- *#tramite il comando state_assign jedi*
- .code ATT 000
- .code NUL 001
- .code 00 010
- .code 01 011
- .code 11 100
- .end

a2	a1	a0	START	IN1	IN0	s2	s1	s0	OUT
0	0	0	0	-	-	0	0	0	0
0	0	0	1	-	-	0	0	1	0
0	0	1	-	0	0	0	1	0	0
0	0	1	-	-	1	0	0	1	0
0	0	1	-	1	-	0	0	1	0
0	1	0	-	0	0	0	1	0	0
0	1	0	-	0	1	0	1	1	0
0	1	0	-	1	-	0	0	1	0
0	1	1	-	1	1	1	0	0	1
0	1	1	-	0	0	0	1	0	0
0	1	1	-	1	0	0	0	1	0
0	1	1	-	0	1	0	0	1	0
1	0	0	-	1	0	0	0	0	0
1	0	0	-	0	-	1	0	0	0
1	0	0	-	-	1	1	0	0	1
1	0	0	-	0	-	1	0	0	1

Esempio

- Una volta caricato il file blif con il comando read_blif, è possibile creare le funzioni per lo stato prossimo e per l'output con il comando **stg_to_network**.
- A questo punto, visualizzando il blif con il comando write_blif si ottiene:
- .model automa
- .inputs START IN1 IN0
- .outputs OUT
- # Sono stati creati tre elementi di memoria
- #(.latch, segnale di input, segnale di output, reset)
- .latch [2] LatchOut_v3 0
- .latch [3] LatchOut_v4 0
- .latch [4] LatchOut_v5 0
- .start_kiss
- .....
- .end_kiss

Esempio

- .latch_order LatchOut_v3 LatchOut_v4 LatchOut_v5
- .code ATT 000
- .code NUL 001
- .code 00 010
- .code 01 011
- .code 11 100
- #Queste sono le funzione di stato prossimo
- .names IN1 IN0 LatchOut_v3 LatchOut_v4 LatchOut_v5 [2]
- 0-1-- 1
- -11-- 1
- 11-11 1
- .names IN1 IN0 LatchOut_v4 LatchOut_v5 [3]
- 00-1 1
- 0-10 1
- .names START IN1 IN0 LatchOut_v3 LatchOut_v4 LatchOut_v5 [4]
- -01-1- 1
- -10--1 1
- --1-01 1
- -1--10 1
- 1--000 1

Esempio

- # questa è la funzione di l'uscita
- .names IN1 IN0 LatchOut_v3 LatchOut_v4 LatchOut_v5 OUT
- 0-1-- 1
- -11-- 1
- 11-11 1

Esempio

- # Non tutti le codifiche di stato sono utilizzate
- #Le configurazioni don't care sono le seguenti
- .exdc
- .inputs START IN1 IN0 LatchOut_v3 LatchOut_v4 LatchOut_v5
- .outputs [2] [3] [4] OUT
- .names LatchOut_v3 LatchOut_v4 LatchOut_v5 [2]
- 11- 1
- 1-1 1
- .names LatchOut_v3 LatchOut_v4 LatchOut_v5 [3]
- 11- 1
- 1-1 1
- .names LatchOut_v3 LatchOut_v4 LatchOut_v5 [4]
- 11- 1
- 1-1 1
- .names LatchOut_v3 LatchOut_v4 LatchOut_v5 OUT
- 11- 1
- 1-1 1
- .end

Esempio

- E' possibile:
- minimizzare gli stati tramite il comando **state_minimize stamina**,
- assegnare una codifica per gli stati minimizzati usando il comando **state_assign jedi**
- minimizzare la logica combinatoria tramite il comando source –x script.rugged.
- Notare che l'algoritmo jedi per l'assegnamento della codifica agli stati deve essere eseguito dopo la minimizzazione degli stati.

Comandi utili di SIS

read_blif	Carica la descrizione blif del circuito
simulate i0 i1 i2 …	Simula il circuito in base ai valori forniti per gli ingressi. Esecuzioni successive del comando considerano lo stato in cui il circuito si è portato dopo l'ultima esecuzione
print_stats	Visualizza informazioni sul circuito
write_blif	Visualizza la descrizione blif del circuito.
write_eqn	Visualizza le equazioni booleane corrispondenti ai nodi del circuito
stg_to_network	Costruisce automaticamente le funzioni di stato prossimo e di uscita a partire dalla tabella delle transizioni e dalla codifica degli stati
state_assign jedi	Usa l'algoritmo jedi per assegnare automaticamente una codifica degli stati che permetta una minimizzazione del circuito e costruisce le funzioni di stato prossimo e di uscita
state_minimize stamina	Usa l'algoritmo stamina per minimizzare gli stati della FSM
write kiss	Visualizza la tabella delle transizioni

Esercizio 9.1

- Tracciare il diagramma degli stati e ricavare la tabella degli stati di un circuito sequenziale in grado di riconoscere la sequenza

  00 11 00 01.

Eseguire la minimizzazione con il programma SIS.

Esercizio 9.2

- Tracciare il diagramma degli stati di un circuito sequenziale (2 ingressi, 2 uscite) corrispondente alla seguente tabella degli stati. Sia A lo stato di reset.
- Eseguire la minimizzazione con il programma SIS

	00	01	10	11
A	D/10	D/00	A/11	D/11
B	B/1-	A/--	B/-1	C/--
C	C/0-	H/-1	I/-0	A/-0
D	A/10	A/-0	D/11	A/11
E	G/10	G/--	C/-1	I/1-
F	H/--	H/-0	A/01	B/10
G	A/10	G/-0	H/00	D/11
H	D/1-	G/-0	H/00	A/-1
I	F/--	F/11	E/00	A/01

Esercizio 9.3

- Tracciare il diagramma degli stati di un circuito sequenziale (2 ingressi, 2 uscite) corrispondente alla seguente tabella degli stati. Sia A lo stato di reset.
- Eseguire la minimizzazione con il programma SIS

	00	01	10	11
A	D/00	D/00	A/11	D/11
B	B/1-	A/1-	B/-1	C/--
C	C/0-	H/-1	I/-0	A/-0
D	A/11	A/-0	D/11	A/11
E	G/10	D/--	D/-1	I/1-
F	H/--	A/-0	A/01	A/10
G	A/10	G/-0	H/00	H/11
H	D/1-	G/-0	D/00	A/-1
I	F/--	F/11	E/00	A/01