

LABORATORIO DI ARCHITETTURA DEI CALCOLATORI

Prof. Rosario Cerbone

rosario.cerbone@libero.it

a.a. 2005-2006

Obiettivo

- I due moduli integrati (Architettura dei Calcolatori e Laboratorio di Architettura dei Calcolatori, 12 CFU, **esame unico**) hanno l'obiettivo di illustrare gli aspetti fondamentali dell'organizzazione e della architettura dei moderni calcolatori elettronici. Il corso di Laboratorio di Architettura, in particolare, tratta della progettazione digitale di reti combinatorie e sequenziali e di sviluppo di programmi assembly.

Orario lezioni

Martedì	14,00-16,00	Laboratorio Via De Gasperi	1° gruppo
Martedì	16,00-18,00	Laboratorio Via De Gasperi	2° gruppo
Giovedì	14,00-16,00	Aula Piccagli	Tutti

N.B. I due gruppi si alterneranno con gli orari ogni martedì

Ricevimento

Giovedì

16,00-17,30

Aula Piccagli

Programma

- Progettazione digitale
- Linguaggio assembly
- Sviluppo di programmi assembly
- Approfondimenti
- Processori Pentium, PowerPC e Athlon

Materiale didattico

- Le presentazioni multimediali (formato .pdf) di tutte le lezioni saranno disponibili sul sito internet del corso.
- Emulatori software.

Testi consigliati

- W. Stallings - Architettura e organizzazione dei calcolatori (progetto e prestazioni). Pearson Italia, 2004 (traduzione italiana della sesta edizione).
- Testi di approfondimento:
 - G. Bucci - Architettura dei calcolatori elettronici: fondamenti. Mc Graw-Hill Italia, 2005.
 - Franco Fummi, Mariagiovanna Sami, Cristina Silvano Progettazione Digitale (Edizione 1) McGraw-Hill

Modalità d'esame

- L'esame consisterà nella prova di Architettura dei Calcolatori e nella prova di Laboratorio.
- Quest'ultima prevederà la realizzazione di un circuito sequenziale e di un programma assembler che implementano un algoritmo dato.

SUDDIVISIONE IN GRUPPI

- Indicare chiaramente i vostri dati.
- Importantissimo l'indirizzo e-mail.
- Le registrazioni si accettano fino a martedì 25 ottobre.
- Il gruppo di appartenenza sarà comunicato via e-mail entro lunedì 24 ottobre.
- I due gruppi si alterneranno nel laboratorio.



Progettazione digitale

- **Simulatori di Reti combinatorie e sequenziali.**
- **La minimizzazione esatta di funzioni a due livelli: Espresso.**
- **La minimizzazione approssimata di circuiti combinatori: MIS.**
- **La minimizzazione degli stati: Stamina.**
- **L'assegnamento degli stati: Nova.**
- **La progettazione automatica di FSM: SIS.**
- **Componenti di libreria combinatori e sequenziali.**
- **Modellazione e progettazione di FSMD: BVE.**



Linguaggio assembly

- **Introduzione al linguaggio assembly.**
- **Codici operativi elementari. Formato dell'istruzione.**
- **Modalità di indirizzamento.**
- **Subroutine.**
- **Cenni alle problematiche di linkage e passaggio dei parametri.**



Processori Pentium, PowerPC e Athlon

- **Caratteristiche architettoniche e aspetti peculiari.**
- **Cenno ai rispettivi linguaggi assembly**



Sviluppo di programmi assembly

- **Richiami: Modello di programmazione del processore 68000; formato dell'istruzione e codici operativi.**
- **Modalità di indirizzamento.**
- **Subroutine. Linkage e passaggio dei parametri.**
- **Assembly del processore 68000. Sviluppo di programmi assembly per il processore 68000.**
- **Assemblatore, linker, loader, librerie e supporti run time.**



Approfondimenti

- **Accesso in DMA.**
- **Interrupt vettorizzati.**
- **Memoria virtuale (segmentazione e paginazione) e supporti hardware alla traduzione degli indirizzi.**
- **Meccanismi di protezione e Trap.**
- **Memorie cache associative e a corrispondenza diretta.**
- **Tecniche di pipelining e tecniche di caching.**
- **CPU superscalare.**



Contatti

- Prof. Rosario Cerbone
- rosario.cerbone@libero.it