

LABORATORIO DI ARCHITETTURA DEI CALCOLATORI **lezione n° 6**

Prof. Rosario Cerbone

rosario.cerbone@libero.it

<http://digilander.libero.it/rosario.cerbone>

a.a. 2005-2006

Minimizzazione di circuiti combinatori multilivello e mapping tecnologico

- In questa lezione vengono riassunti i concetti fondamentali della minimizzazione approssimata multi-livello e del mapping tecnologico. In particolare viene mostrato come utilizzare SIS per effettuare tali operazioni.

Minimizzazione approssimata multi-livello

- La minimizzazione multi-livello consente al progettista di bilanciare area e ritardo di un circuito con un maggior grado di libertà rispetto alla minimizzazione a 2 livelli.
- Tuttavia, non esistono tecniche esatte efficienti che portino alla realizzazione di configurazioni ottime usando la minimizzazione multi-livello, pertanto si ricorre a tecniche euristiche che garantiscono buone soluzioni in tempi ragionevoli.

Minimizzazione approssimata multi-livello.

Una rete logica può essere rappresentata mediante un grafo orientato aciclico (DAG, directed acyclic graph) $Gn(V,E)$ in cui:

- V è n insieme di vertici, o nodi, partizionato in 3 sotto-insiemi
 - V_I vertici relativi a ingressi primari e $n_i = |V_I|$ numero degli ingressi primari
 - V_O vertici relativi a uscite primarie e $n_o = |V_O|$ numero delle uscite primarie
 - V_G vertici interni e $n_g = |V_G|$ numero dei vertici interni
 - Ogni vertice è etichettato da una variabile
- Ad ogni nodo e alla corrispondente funzione locale, si associa una variabile e la funzione booleana combinatoria associata.
- Gli *invertitori* sono impliciti nel modello e non sono rappresentati. In pratica, ogni vertice può fornire segnali di entrambe le polarità (*rete logica a doppia polarità*)

Minimizzazione approssimata multi-livello. Esempio di rete logica

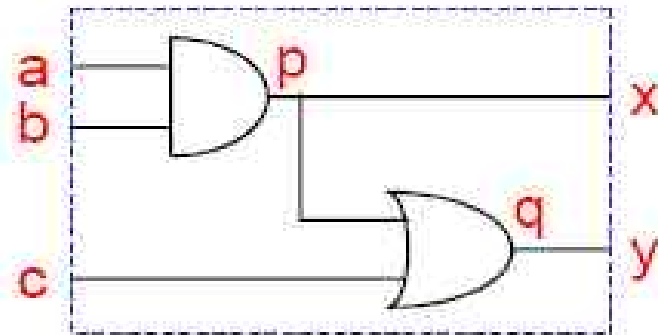
Comportamento

logico di I/O

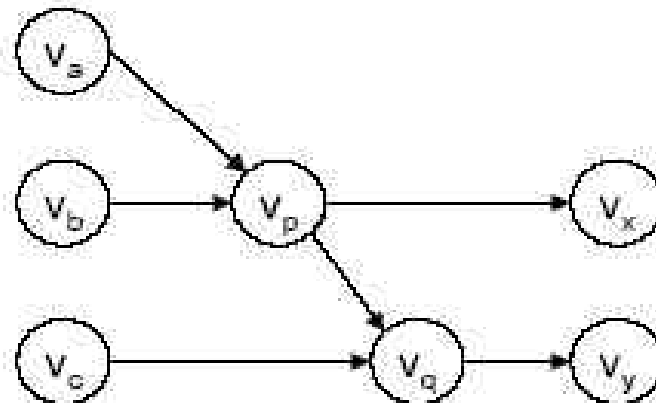
$$x = ab$$

$$y = c + ab$$

Rete logica mappata



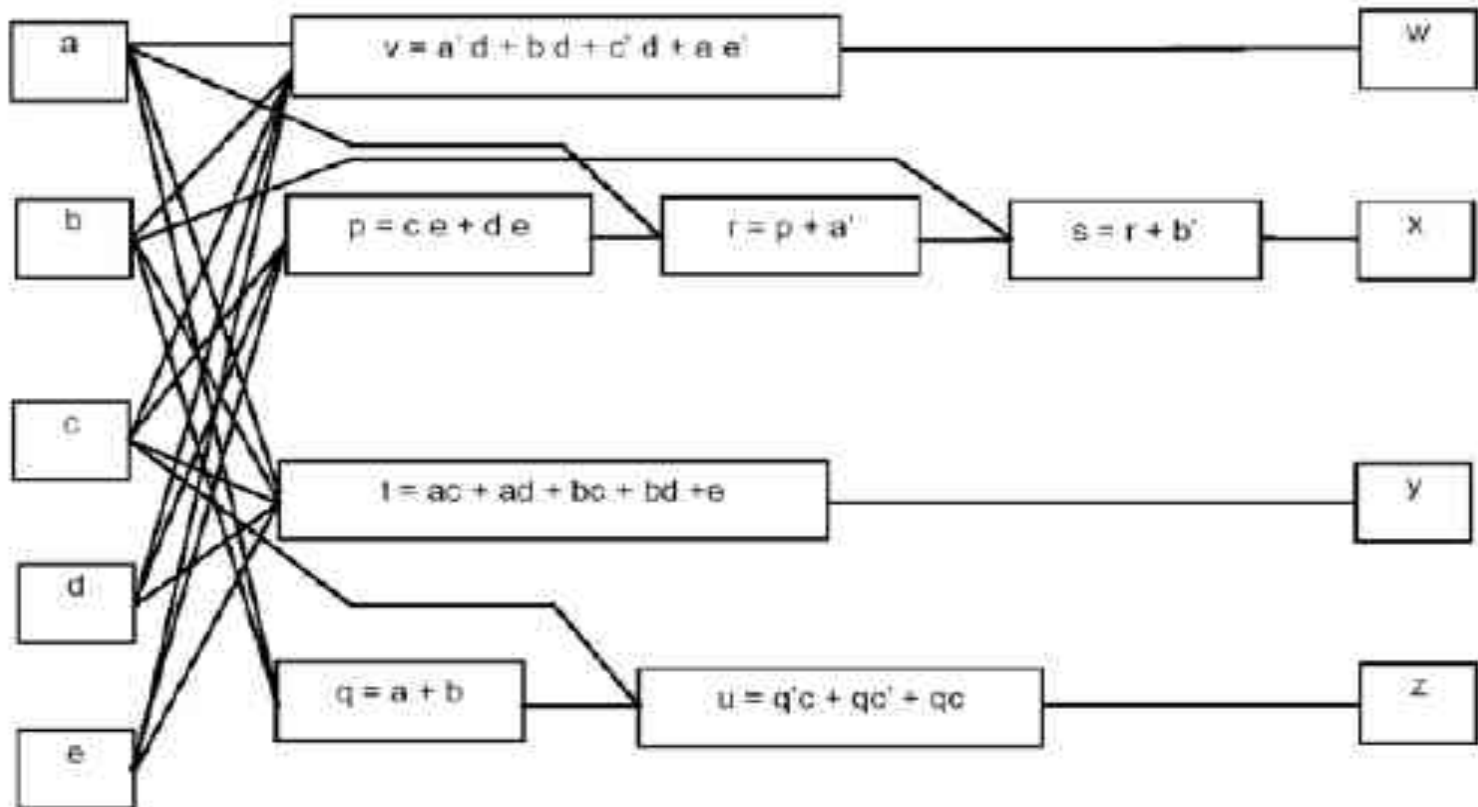
Grafo della rete logica



Minimizzazione approssimata multi-livello. Esempio

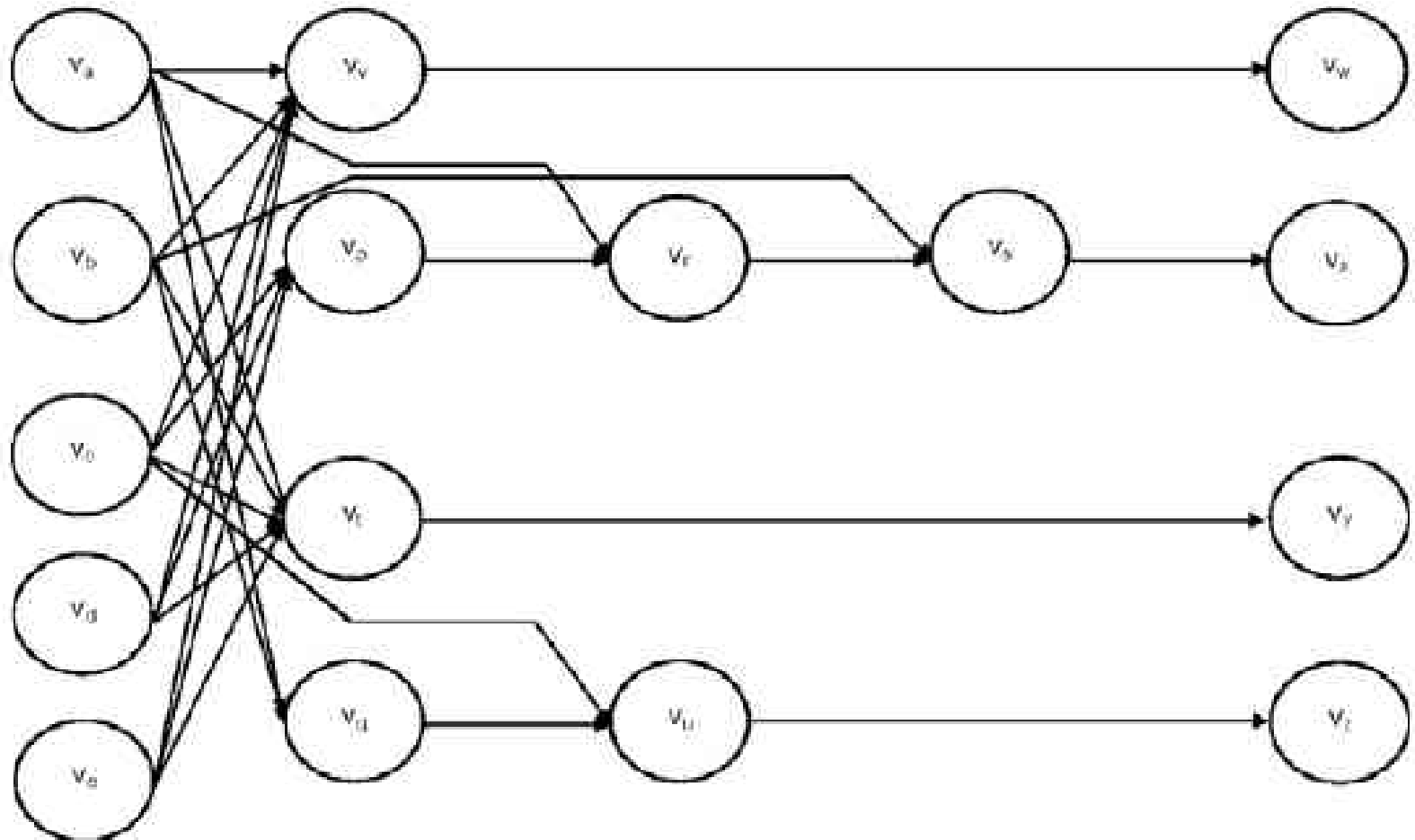
- Si consideri la rete logica con variabili di ingresso primarie $\{a,b,c,d,e\}$,
- variabili di uscita primarie $\{w,x,y,z\}$ descritta dalle seguenti equazioni
- $p = ce + d e$
- $q = a + b$
- $r = p + a'$
- $s = r + b'$
- $t = ac + ad + bc + bd + e$
- $u = q'c + qc' + qc$
- $v = a'd + bd + c'd + ae'$
- $w = v$
- $x = s$
- $y = t$
- $z = u$

Minimizzazione approssimata multi-livello. Esempio. Rappresentazione.



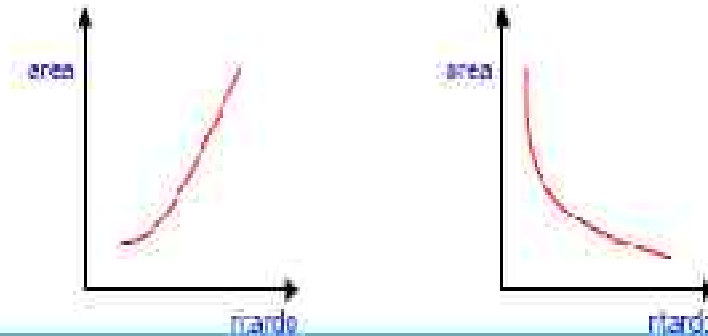
Costo associato alla rete logica = $(8 + 8 + 9 + 8)$ letterali = **33 letterali**

Minimizzazione approssimata multi-livello. Esempio. Grafo associato.



Minimizzazione approssimata multi-livello.

- Gli obiettivi dell'ottimizzazione logica a due livelli e multilivello
- sono differenti:
 - Per logica a due livelli rappresentata come somma di prodotti
 - Area e ritardo sono proporzionali alla dimensione della copertura
 - Ottenere una copertura minima corrisponde ad ottimizzare sia area sia ritardo
 - Per logica multi-livello, implementazione ad area minima non corrisponde a implementazione a ritardo minimo
 - Compromesso tra area e ritardo



Minimizzazione approssimata multi-livello

- Esaminiamo, di seguito, i concetti principali relativi alle tecniche di sintesi applicate durante la minimizzazione multi-livello.
- Si consideri che il circuito viene rappresentato come un insieme di nodi interconnessi tra loro, e che ad ogni nodo corrisponde una funzione booleana a una sola uscita.
- Ogni nodo, pertanto, rappresenta una piccola porzione dell'intero design.
- Le tecniche descritte nei seguenti punti vengono solitamente ripetute secondo un determinato ordine fino al raggiungimento di una configurazione che soddisfi le aspettative del progettista.

Minimizzazione approssimata multi-livello. Trasformazioni.

- Sweep
- Eliminazione
- Scomposizione
- Estrazione
- Semplificazione
- Sostituzione

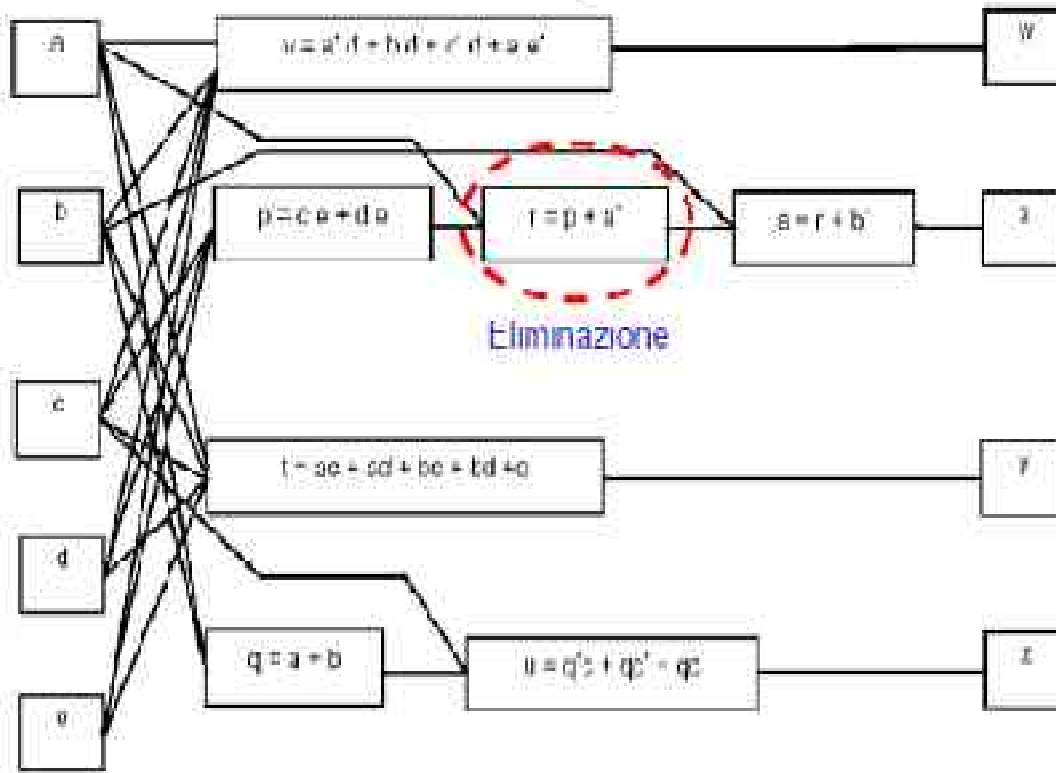
Minimizzazione approssimata multi-livello

1. Sweep: eliminazione dei nodi con un'unica linea di ingresso e di nodi con valore costante.

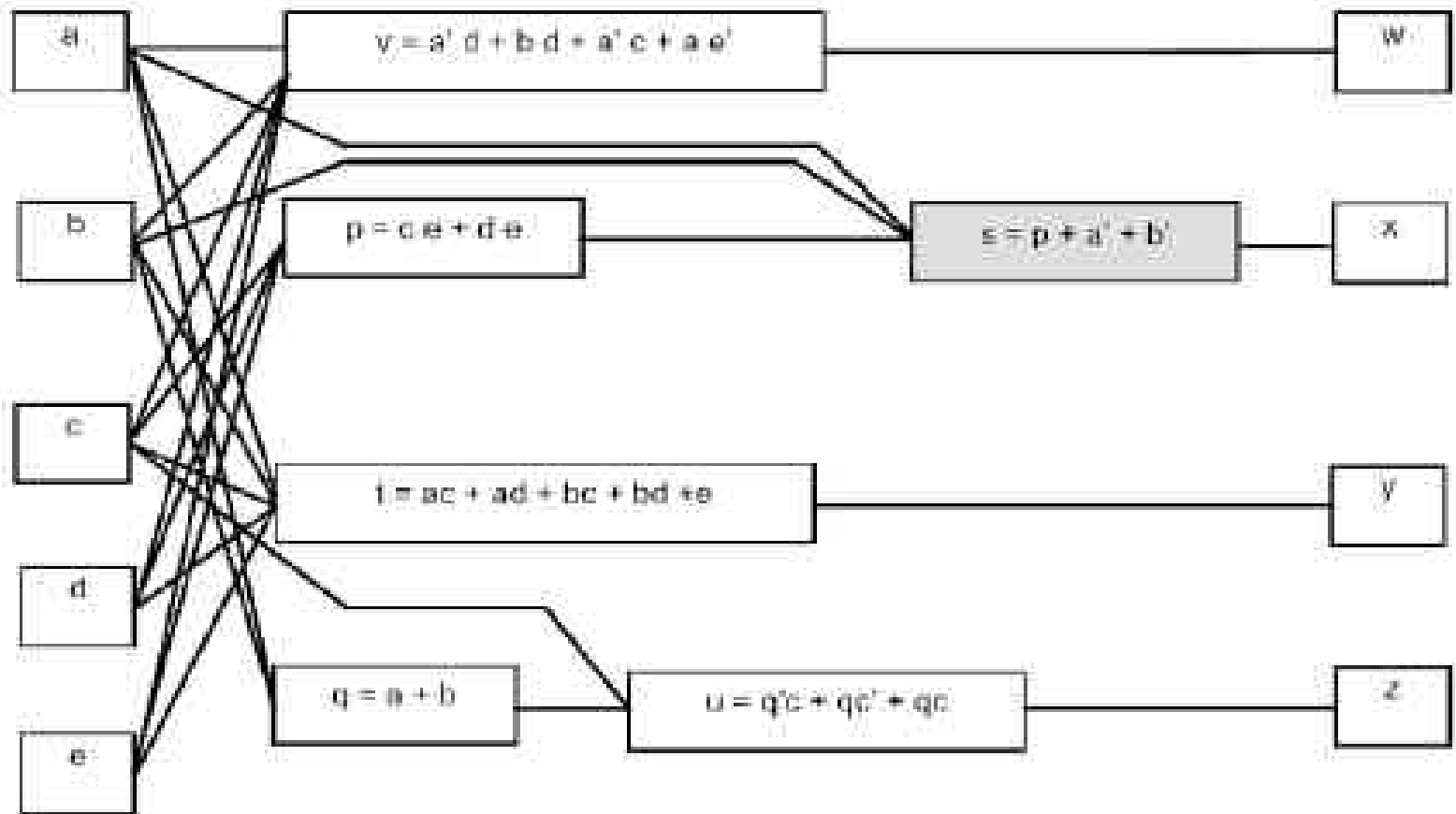
2. Eliminazione: eliminazione di un nodo interno alla rete.

Minimizzazione approssimata multi-livello. Eliminazione.

- L'eliminazione di un vertice interno è la sua rimozione dalla rete. La variabile corrispondente al vertice è rimpiazzata dalla corrispondente espressione in tutte le sue occorrenze nella rete logica



Minimizzazione approssimata multi-livello. Eliminazione.

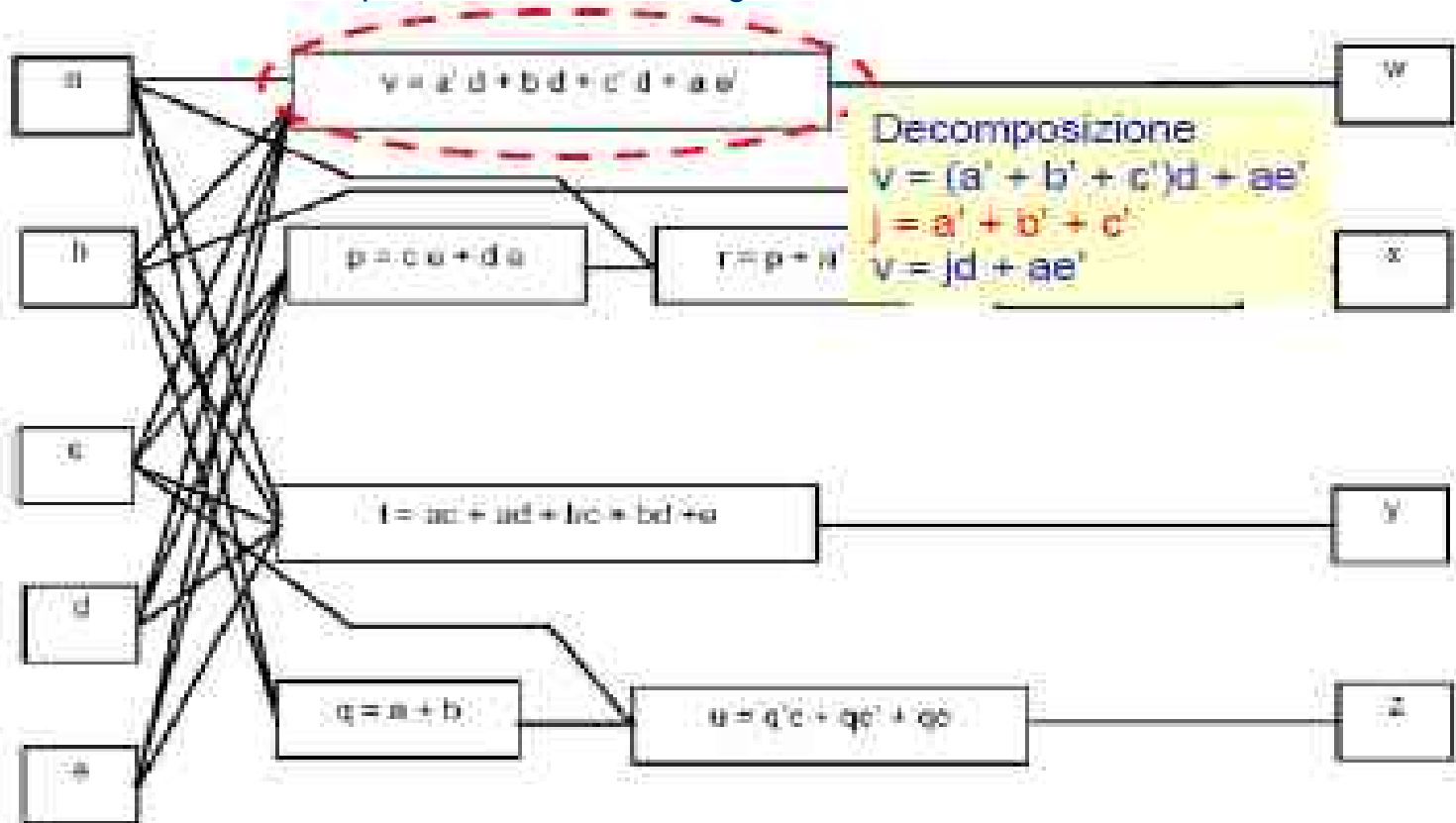


Minimizzazione approssimata multi-livello. Scomposizione

- Scomposizione:*** sostituzione di un nodo interno con un'insieme di nodi la cui funzionalità sia equivalente a quella del nodo sostituito. L'operazione viene effettuata per diminuire la complessità di un nodo.

Minimizzazione approssimata multi-livello. Scomposizione

La decomposizione di un vertice interno è la sostituzione del vertice con due (o più) vertici che formano una sottorete equivalente al vertice originale

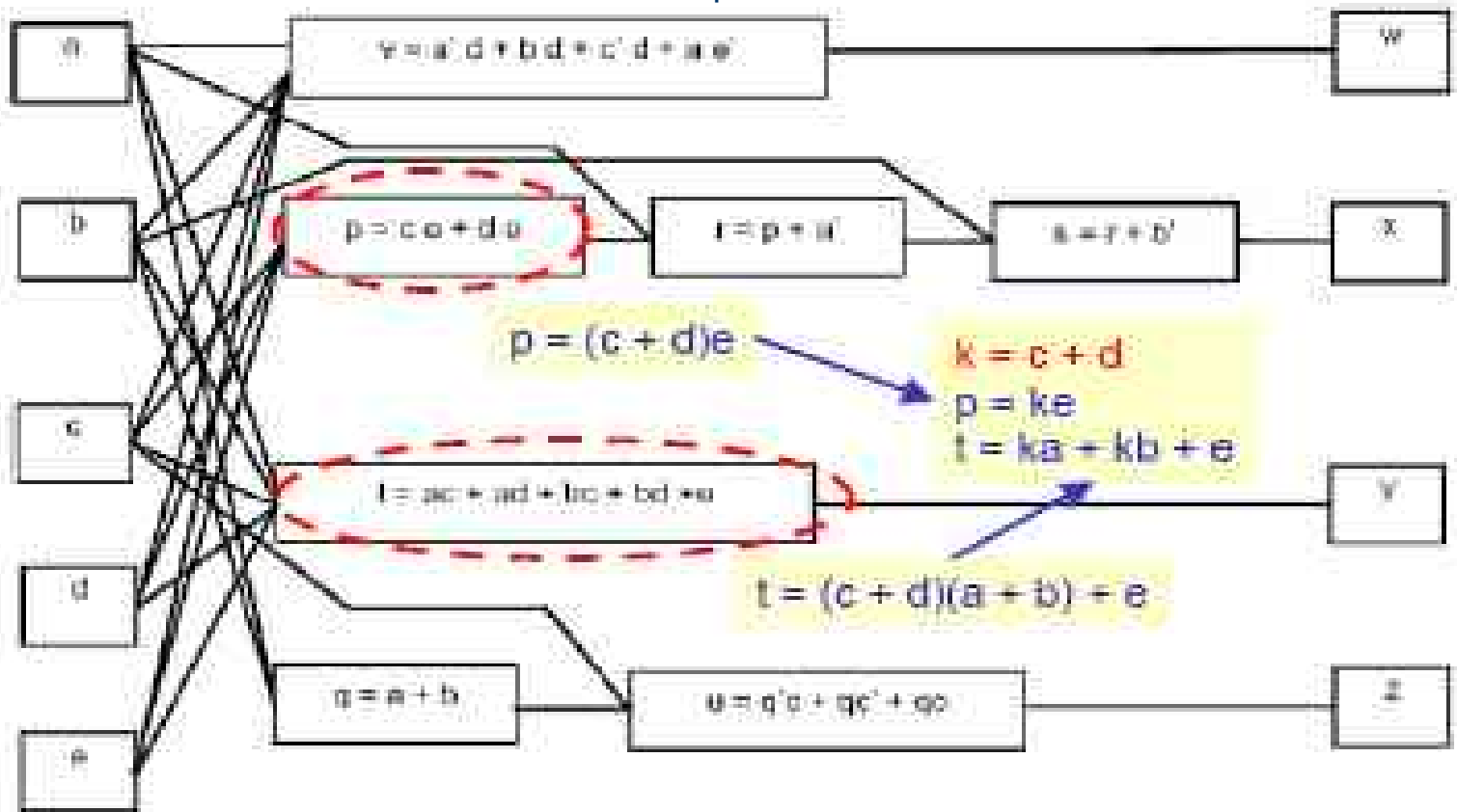


Minimizzazione approssimata multi-livello. Estrazione.

4.Estrazione: estrazione di una sottoespressione comune a più nodi che viene rappresentata con un nuovo nodo.

Minimizzazione approssimata multi-livello. Estrazione.

Una sotto-espressione comune a due funzioni associate a due vertici può essere estratta creando un nuovo vertice associato alla sottoespressione

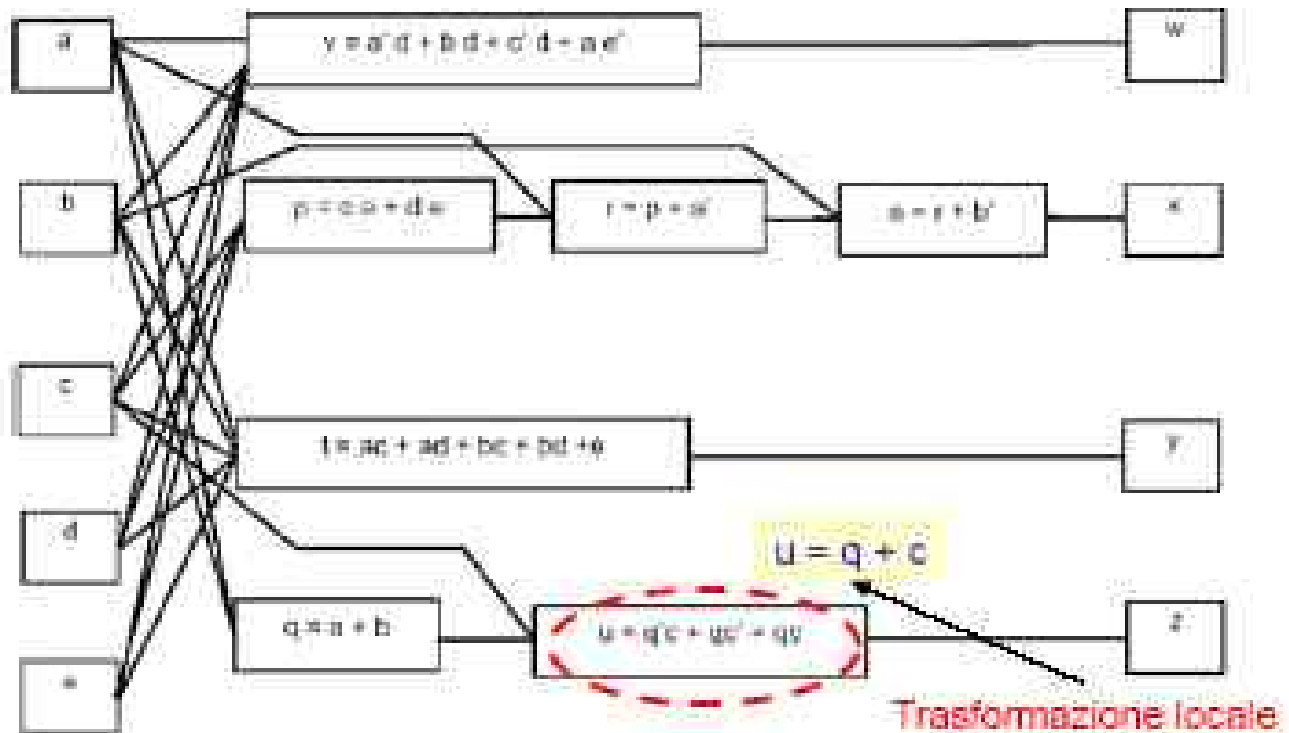


Minimizzazione approssimata multi-livello. Semplificazione

5.Semplificazione: riduzione della complessità di una funzione sfruttando le proprietà della sua rappresentazione, localmente o globalmente

Minimizzazione approssimata multi-livello. Semplificazione.

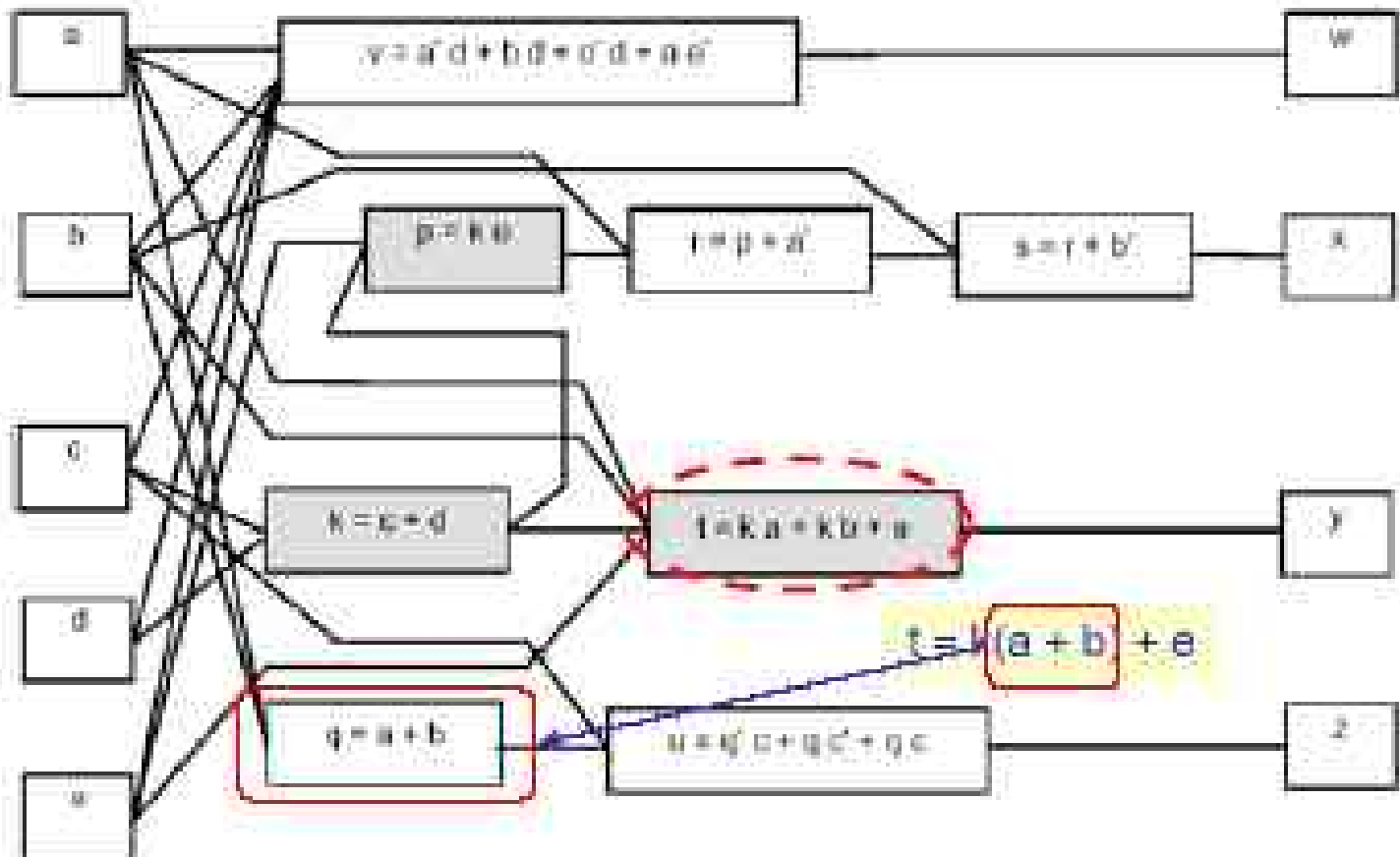
- Una funzione è ridotta in complessità sfruttando le proprietà della sua rappresentazione. Se la funzione è rappresentata nella forma a due livelli allora le tecniche di ottimizzazione a due livelli possono essere utilizzate. Se l'insieme di supporto non cambia allora la trasformazione si dice locale



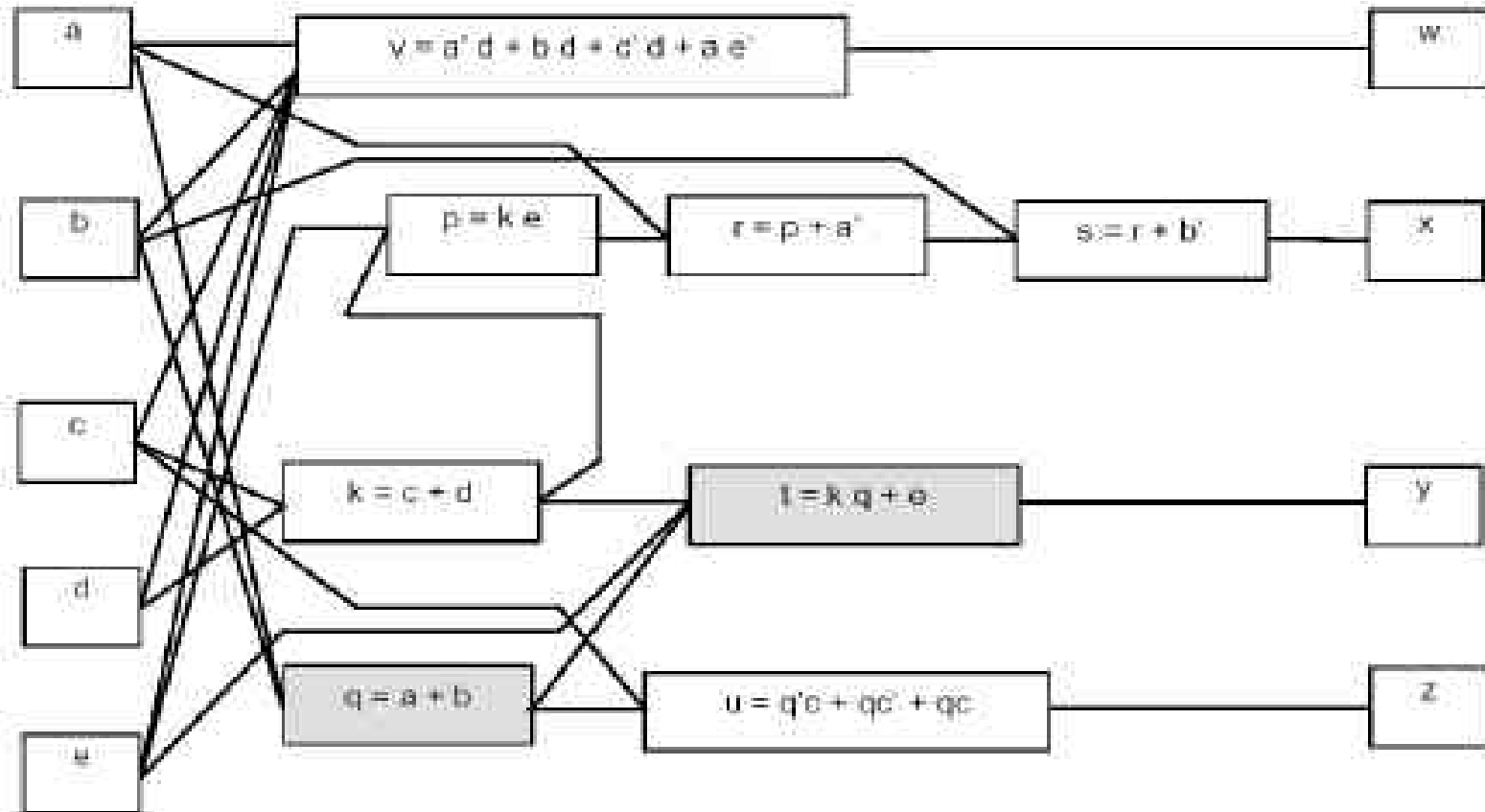
Minimizzazione approssimata multi-livello. Sostituzione.

6. Una funzione è ridotta in complessità utilizzando un ingresso addizionale che non appartiene all'insieme di supporto. La trasformazione richiede la creazione di una dipendenza ma può anche portare ad eliminarne altre

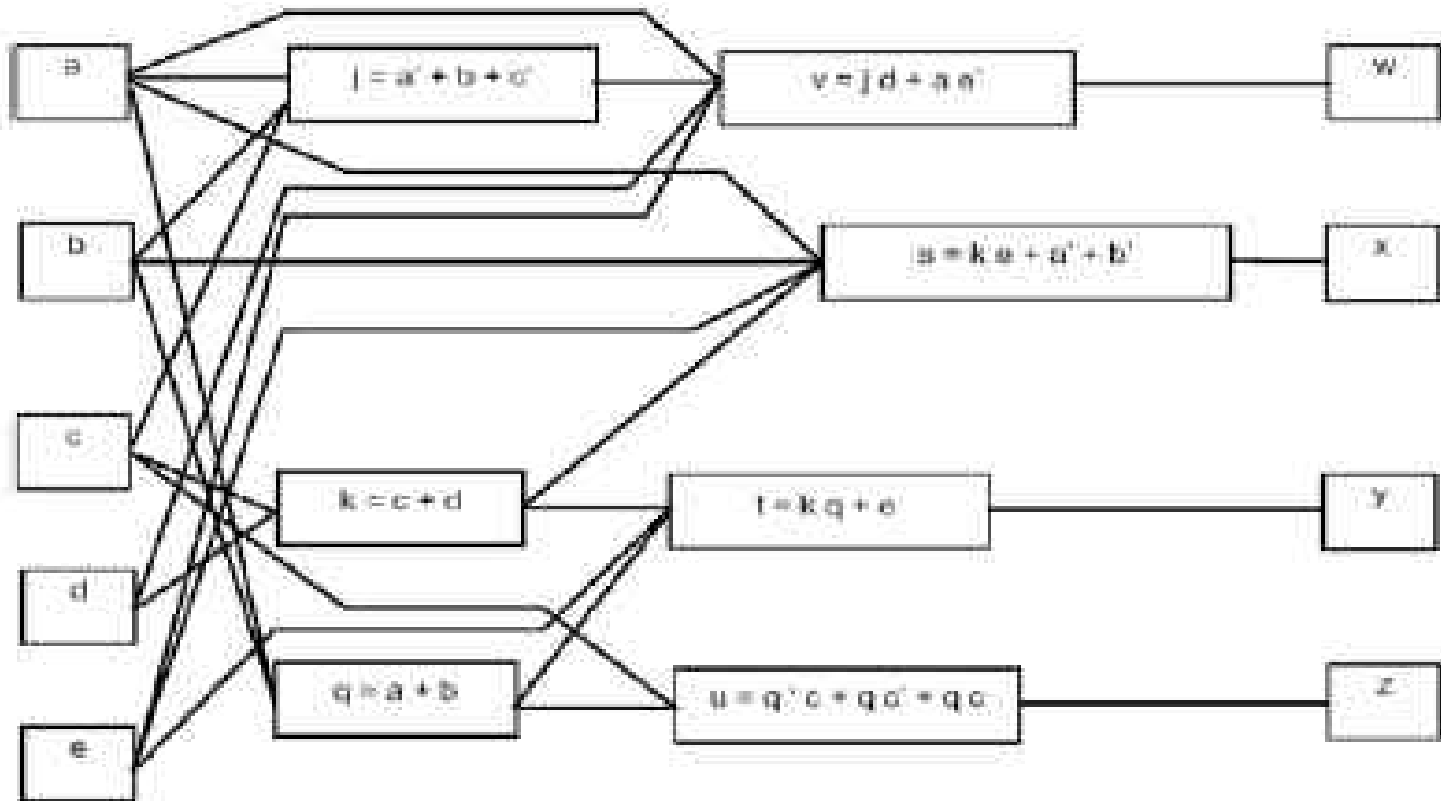
Minimizzazione approssimata multi-livello. Sostituzione.



Minimizzazione approssimata multi-livello. Sostituzione.



Minimizzazione approssimata multi-livello. Risultato delle trasformazioni.



Costo associato alla rete logica trasformata = $(7 + 4 + 5 + 8)$ letterali = **24 letterali**

Minimizzazione approssimata multi-livello. Risultato delle trasformazioni.

- $k = c + d$
- $q = a + b$
- $s = ke + a' + b'$
- $t = kq + e$
- $u = q'c + qc' + qc$
- $v = jd + ae'$
- $w = v$
- $x = s$
- $y = t$
- $z = u$
- Rispetto alla rete logica di riferimento il numero totale dei letterali è stato ridotto da 33 a 24

Mapping tecnologico

- Una volta completata l'ottimizzazione è possibile mappare il circuito in una rappresentazione che faccia uso esclusivamente di un insieme di porte logiche appartenenti ad una determinata libreria tecnologica con caratteristiche di area e ritardo diverse per ogni libreria.

Mapping tecnologico

- E' possibile mappare la rappresentazione logica del circuito utilizzando celle standard che rappresentano determinate funzioni decise a priori al momento della loro realizzazione sul silicio, oppure componenti customizzabili (es. FPGA), ovvero componenti organizzati in una topologia la cui funzionalità dipende dalla struttura di interconnessione delle porte che la compongono.
- Tale struttura può essere riprogrammata via software dopo la realizzazione del circuito.

Minimizzazione di circuiti combinatori multi-livello tramite SIS

- Una volta descritto il circuito desiderato nel formato blif, è possibile utilizzare i seguenti comandi per effettuare la minimizzazione.

Minimizzazione di circuiti combinatori multi-livello tramite SIS

1. sweep Esegue l'operazione di sweep
2. eliminate n Esegue l'operazione di eliminazione rimuovendo i nodi tali che la loro rimozione non aumenti il numero di letterali di una quantità superiore a n. Per eliminare i nodi che sono utilizzati una sola volta utilizzare il valore -1.

Minimizzazione di circuiti combinatori multi-livello tramite SIS

3. resub lista

Esegue l'operazione di scomposizione dei nodi indicati nella lista. Se la lista non viene specificata, la sostituzione viene eseguita per tutti i nodi della rete.

4. fx

Esegue l'operazione di estrazione.

5. full_simplify

Esegue l'operazione di semplificazione su ogni nodo della rete.

Minimizzazione di circuiti combinatori multi-livello tramite SIS

6. `source script` Carica lo script ed esegue tutti i comandi contenuti al suo interno. Lo script che fornisce generalmente i risultati migliori è `script.rugged`
7. `set autoexec` comando Stampa automaticamente il risultato del comando specificato dopo l'esecuzione di un qualunque altro comando.

Mapping di circuiti combinatori tramite SIS

- Una volta descritto il circuito desiderato nel formato blif, ed una volta eseguite le minimizzazioni del caso è possibile utilizzare i seguenti comandi per effettuare il mapping tecnologico.

Mapping di circuiti combinatori tramite SIS

- `read_library` `libreria` Carica la libreria tecnologica di nome `libreria`. Le librerie sono specificate nel formato `genlib`.
- `print_library` Visualizza informazioni inerenti la libreria caricata.

Mapping di circuiti combinatori tramite SIS

- `map` Esegue l'operazione di mapping.
L'opzione `-m 0` permette di ottenere un circuito minimizzato rispetto all'area.
L'opzione `-n 1` permette di ottenere un circuito minimizzato rispetto al ritardo.
L'opzione `-s` permette di visualizzare alcune informazioni relative ad area e ritardo dopo il mapping.
- `write_blif -n` Mostra la rappresentazione del circuito associata alle porte della libreria.

Mapping di circuiti combinatori tramite SIS

- `print_delay` Stampa informazioni relative al ritardo del circuito.
- `reduce_depth` Riduce la lunghezza dei cammini critici.
- `xl_cover -n num` Mappa il circuito su una FPGA prodotta da Xilinx. Il numero `n` specifica il numero di ingressi per ogni cella della libreria. Qualora qualche nodo abbia un numero di ingressi maggiore di `n` viene segnalato un messaggio di errore ed è necessario eseguire il comando `xl_imp`.

Mapping di circuiti combinatori tramite SIS

- `xl_imp -n num`

Esegue una fattorizzazione ad hoc in modo che tutti i nodi del circuito abbiano un numero di ingressi minore o uguale a num.

Esercizi

lezione 6

- **Esercizio 1:** Eseguire la minimizzazione multi-livello usando lo script `script.rugged` su tutti i circuiti realizzati durante la lezione numero 5 (sintesi esatta a 2 livelli). Quale dei dispositivi viene maggiormente ottimizzato?

Esercizi

lezione 6

- **Esercizio 2:** Effettuare il mapping tecnologico usando la libreria mcnc.genlib su tutti i circuiti realizzati durante la lezione numero 5 (sintesi esatta a 2 livelli) dopo aver eseguito la minimizzazione multilivello richiesta per l'esercizio 1.
- Quale dei dispositivi ha area maggiore? Quale ha ritardo maggiore?
- Effettuare questa analisi prima e dopo aver eseguito il comando `reduce_depth` per diminuire il ritardo dei cammini critici.

Esercizi

lezione 6

- **Esercizio 4:** Descrivere nel formato blif il circuito rappresentato dalla funzione
- booleana $(x,v,w,z) = f(a,b,c,d,e)$ descritto dai seguenti nodi:
- $f = !abe + cd + a!cd$
- $g = ed + acb + a!cd$
- $h = ae + cd + ab$
- $i = g + !h$
- $l = ag + bc!g + ae$
- $m = f + i + cb$
- $n = l + !ia$
- $o = m + a + !be$
- $x = f$
- $v = o$
- $z = l$
- $w = n$
- Eseguire la minimizzazione multi-livello usando lo script `script.rugged`.
- Effettuare il mapping tecnologico usando la libreria `mcnc.genlib`.
- Qual è il cammino con maggior ritardo prima e dopo aver eseguito il comando `reduce_depth` per diminuire il ritardo dei cammini critici?