
LABORATORIO DI ARCHITETTURA DEI CALCOLATORI

lezione n° 6

Prof. Rosario Cerbone

rosario.cerbone@uniparthenope.it

<http://digilander.libero.it/rosario.cerbone>

a.a. 2008-2009

Circuiti Sequenziali

- In questa lezione vengono riassunti i concetti fondamentali dei circuiti sequenziali
-

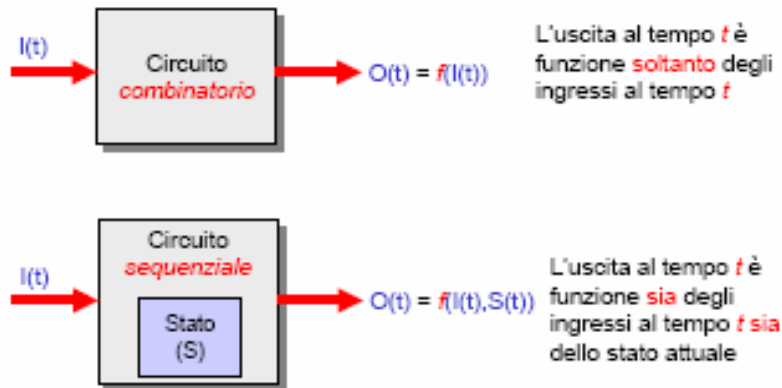
Sistemi digitali

- Si possono distinguere due classi di sistemi digitali:
- Sistemi *combinatori* - Il valore delle uscite al generico istante t^* dipende solo dal valore degli ingressi applicati nello stesso istante
- Sistemi *sequenziali* - Il valore delle uscite all'istante t^* dipende non solo dal valore attuale degli ingressi ma anche dalla *sequenza* di configurazioni d'ingresso precedenti

Sistemi Sequenziali - Generalità

- Il comportamento del sistema dipende dalla sua *storia* precedente
- **Sequenziale** fa riferimento alla sequenza di eventi che hanno portato il sistema nella sua condizione attuale
- La memoria che il sistema conserva degli eventi passati costituisce lo *stato* del sistema

Sistemi Sequenziali - Generalità



Bistabili - Introduzione

- Sono elementi di memoria in grado di memorizzare l'informazione binaria relativamente a un singolo evento
- Possono cioè ricordare se all'istante $(t-1)$ il rispettivo ingresso era 0 oppure 1
- Sono quindi elementi sequenziali capaci di mantenersi stabilmente fra due stati (bistabili)

Bistabili - Classificazione

- Le differenze principali tra i diversi bistabili dipendono:
 - Dal numero di ingressi
 - Dal modo in cui tali ingressi ne determinano lo stato

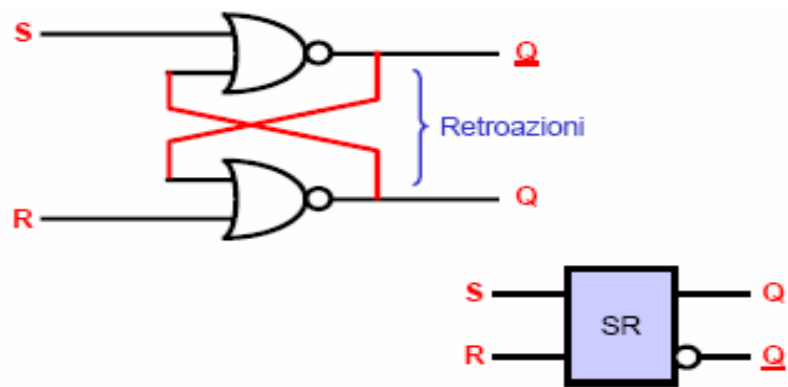
- In generale possono essere classificati
 - Asincroni
 - Sincroni

Bistabili - Classificazione

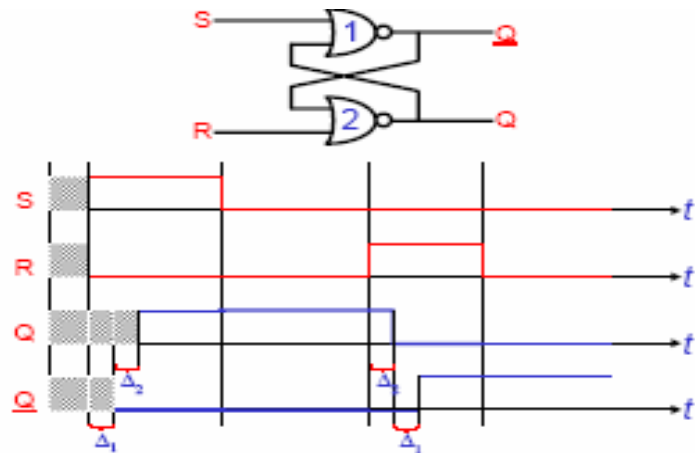
- Asincroni
 - E' la variazione di un segnale presente a uno degli ingressi dati che può determinare l'evoluzione del bistabile imponendone il cambiamento di stato
 - Hanno solo ingressi dati

- Sincroni
 - Le variazioni degli ingressi dati vengono campionate dal segnale presente sull'ingresso di sincronismo, e solo quando tale segnale assume un particolare valore il bistabile può evolvere

Bistabili Asincroni Latch Set-Reset (SR)



Bistabili Asincroni Set-Reset (SR) Funzionamento



Bistabili Asincroni Set-Reset (SR)

Osservazioni

- Q e !Q hanno sempre valori complementari
- L'effetto di un 1 su S (*set*) è di portare a 1 l'uscita Q
- L'effetto di un 1 su R (*Reset*) è di portare a 0 l'uscita Q
- La presenza di un 1 sia su S che su R provoca un comportamento che non rispetta più quanto osservato:
 - Le due uscite tendono ad assumere lo stesso valore
 - La commutazione delle uscite diventa imprevedibile:
 - dipende dalle relazioni tra i ritardi distribuiti lungo i vari percorsi
- Si impone che la configurazione di ingresso 11 non possa mai verificarsi

Bistabili Asincroni - Latch Set-Reset (SR)

Tabella delle transizioni

- La *Tabella delle Transizioni* consente di descrivere il comportamento di un bistabile
- Simbologia
- Indicheremo con Q^* lo stato prossimo

		SR			
		00	01	11	10
Q	0	0	0	X	1
	1	1	0	X	1

Bistabili Asincroni - Latch Set-Reset (SR)

Equazione di funzionamento

- La configurazione SR=11 la possiamo vedere come una condizione di indifferenza visto che è una configurazione che non dovrà mai presentarsi e per la quale quindi l'uscita non sarà mai presa in considerazione
- Possiamo quindi scrivere l'equazione di funzionamento del bistabile SR
- Riduciamo la $Q^*(S,R,Q)$ utilizzando le mappe di Karnaugh

		SR			
		00	01	11	10
Q	0	0	0	1	1
	1	1	0	1	1

$Q^*(S,R,Q) = S + \underline{R}Q$

Bistabili Asincroni - Latch Set-Reset (SR)

Tabella delle Eccitazioni

- La *Tabella delle Eccitazioni* consente di conoscere la configurazione degli ingressi da applicare affinché possa avvenire una certa transizione di stato
- Può essere ricavata a partire dalla Tabella delle transizioni

Q	Q*	S	R
0	0	0	-
0	1	1	0
1	0	0	1
1	1	-	0

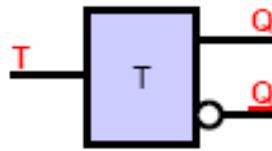
Tabella delle Eccitazioni

		SR			
		00	01	11	10
Q	0	0	0	X	1
	1	1	0	X	1

Tabella delle Transizioni

Diagram illustrating the relationship between the Excitation Table and the Transition Table. Red arrows labeled '1' and '2' show the mapping from the Excitation Table to the Transition Table. Arrow '1' points from the (Q=0, Q*=0) row in the Excitation Table to the (Q=0, SR=00) cell in the Transition Table. Arrow '2' points from the (Q=0, Q*=1) row in the Excitation Table to the (Q=0, SR=01) cell in the Transition Table.

Bistabili Asincroni Triggered o Toggle (T)



- Quando $T=1$ lo stato del bistabile commuta
- Quando $T=0$ lo stato rimane immutato

		T	
		0	1
Q*	0	0	1
	1	1	0

Tabella delle Transizioni

Q	Q*	T
0	0	0
0	1	1
1	0	1
1	1	0

Tabella delle Eccitazioni

$$Q^*(T,Q) = T\bar{Q} + QT$$

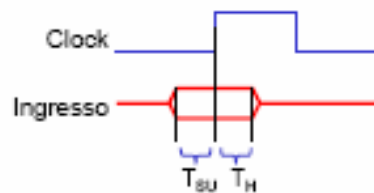
Sincronia

- Un bistabile asincrono modifica il proprio stato solo in presenza di un evento sugli ingressi
- Il progetto delle reti può richiedere che il cambiamento avvenga in istanti di tempo ben precisi
- Questa esigenza impone la presenza di un segnale di ingresso di controllo
- Il segnale che prendiamo in considerazione è periodico, detto *segnale di clock*



Tempi di Hold e di Set-up

- Affinché venga riconosciuto correttamente, un ingresso deve rimanere stabile in una finestra temporale nell'intorno di un fronte del clock
- Tempo di *Set-up* (TSU)
 - Minimo intervallo di tempo che precede il fronte del clock durante il quale l'ingresso deve essere mantenuto stabile
- Tempo di *Hold* (TH)
 - Minimo intervallo di tempo che segue il fronte del clock durante il quale l'ingresso deve essere mantenuto stabile



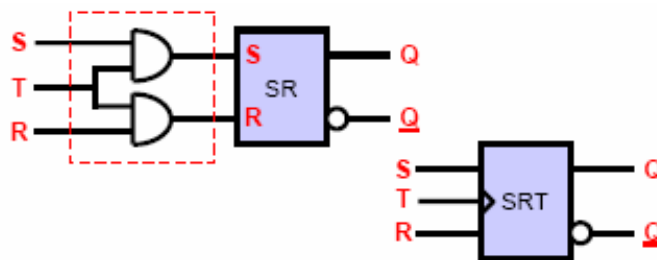
Bistabili Sincroni

- Le variazioni degli ingressi dati vengono campionate dal segnale presente sull'ingresso di sincronismo, e solo quando tale segnale assume un particolare valore il bistabile può evolvere
- Latch Trasparente Sincrono
- Quando il segnale di sincronismo è attivo, l'effetto di una variazione di un valore presente sugli ingressi dati si riflette immediatamente nel valore dello stato (e, quindi, dell'uscita) del latch

Bistabili Sincroni

Bistabile SRT

- Si ottiene dal latch SR aggiungendo la logica necessaria ad abilitarlo (renderlo trasparente) soltanto su attivazione di un segnale di sincronismo T



Bistabili Sincroni - Bistabile SRT

Funzionamento

- Quando il segnale di sincronismo è attivo (*intervallo di trasparenza*), il bistabile si comporta come l'SR
- Quando il segnale di sincronismo non è attivo, il bistabile mantiene immutato il proprio stato

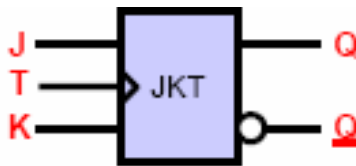
		SR				Tabella delle Transizioni
		00	01	11	10	
Q*	00	0	0	0	0	La tabella delle eccitazioni è identica a quella del latch SR se si considera il funzionamento negli intervalli di trasparenza
	01	0	0	X	1	
	11	1	0	X	1	
	10	1	1	1	1	
	10	1	1	1	1	

$$Q^*(S,R,Q,T) = Q\bar{T} + ST + RQ = ST + Q(R + T)$$

Bistabili Sincroni

Bistabile JKT - Funzionamento

- La condizione che ai due ingressi S ed R non siano mai contemporaneamente presenti due 1 può complicare il progetto della rete nella quale inserire il bistabile
- Il bistabile JKT risolve questa condizione
- Quando il segnale di sincronismo non è attivo, il bistabile mantiene immutato il proprio stato
- Quando il segnale di sincronismo è attivo
 - Se i due ingressi sono diversi o entrambi uguali a 0, si comporta come l'SR (in cui $J \rightarrow S$, $K \rightarrow R$)
 - Se i due ingressi sono entrambi uguali a 1 lo stato del bistabile commuta



Bistabili Sincroni JKT

Tabelle ed Equazioni

		JK			
		00	01	11	10
QT	00	0	0	0	0
	01	0	0	1	1
	11	1	0	0	1
	10	1	1	1	1

Tabella delle Transizioni

Q	Q'	J	K
0	0	0	-
0	1	1	-
1	0	-	1
1	1	-	0

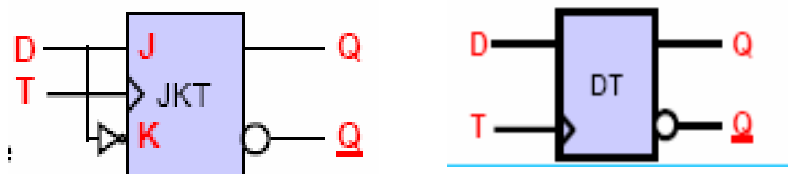
Tabella delle Eccitazioni

$$Q^*(J,K,Q,T) = Q\bar{T} + JQT + \bar{K}Q = Q(\bar{T} + \bar{K}) + JQT$$

Bistabili Sincroni

Bistabile DT - Funzionamento

- Il bistabile DT (*D* sta per Data) è molto usato nella sintesi delle reti sequenziali
- Si ottiene dal JK ponendo $J \rightarrow D$ e $K \rightarrow \neg D$
- Il funzionamento è molto semplice
- Quando il segnale di sincronismo è attivo all'uscita del bistabile si trasferisce il valore presente sull'ingresso *D*
- Quando il segnale di sincronismo non è attivo il valore dell'uscita *Q* non cambia (mantiene lo stato)



Bistabili Sincroni

Bistabile DT - Tabelle ed Equazioni

		DT			
		00	01	11	10
Q*	0	0	0	1	0
	1	1	0	1	1

Tabella delle Transizioni

Q	Q*	D
0	0	0
0	1	1
1	0	0
1	1	1

Tabella delle Eccitazioni

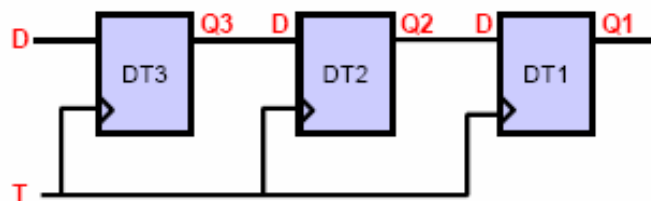
$$Q^*(D, T, Q) = DT + \underline{I}Q$$

Segnale di Reset

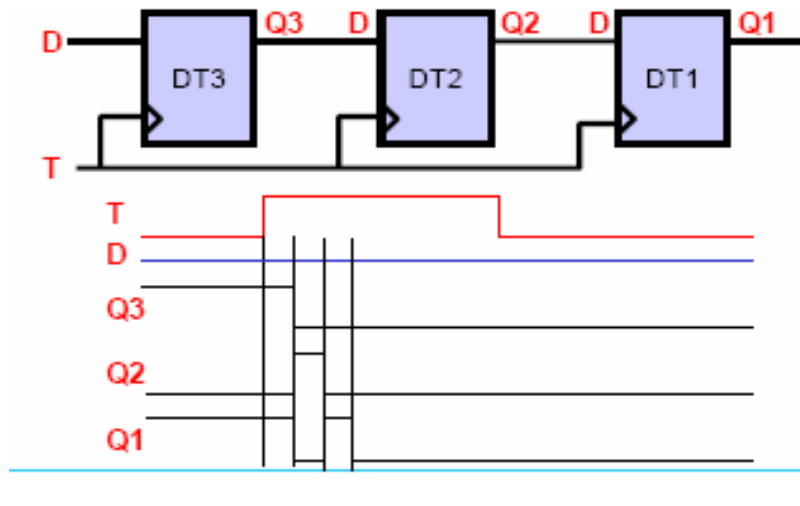
- In molti casi è necessario poter *forzare* il bistabile (sincrono o asincrono) in uno stato predeterminato indipendente dai valori di ingresso
- Ciò per garantire che nell'istante iniziale in cui si fornisce alimentazione al circuito, i bistabili in esso presenti si portino in uno stato iniziale noto
- Per questo i bistabili possono essere dotati di un ingresso asincrono di *reset*

Bistabili Master-Slave Slave

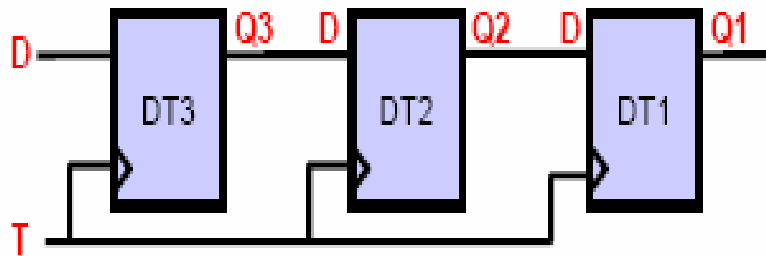
- Spesso per garantire il buon funzionamento di una rete sequenziale, i bistabili di tipo *latch trasparenti sincroni* non hanno un comportamento soddisfacente
- **Es.:** Registro a scorrimento basato su bistabili DT



Bistabili Master-Slave



Bistabili Master-Slave



Stato Iniziale 101 ($Q_3Q_2Q_1$)

$T=1$ per un tempo Δ , $D=0$

Stato successivo: 000 ($Q_3Q_2Q_1$)

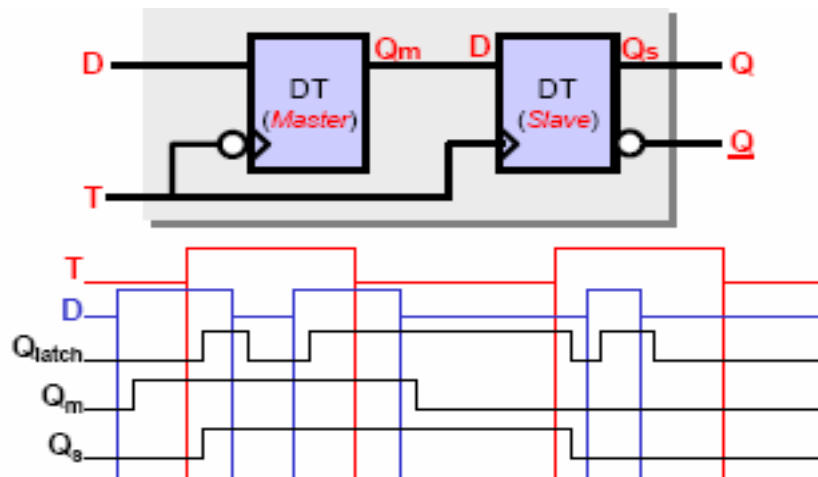
Conclusion

In dipendenza dai valori relativi dei ritardi interni del bistabile e del segnale di sincronismo, il comportamento non è quello corretto e può essere imprevedibile

Edge-Sensitive Flip-Flop

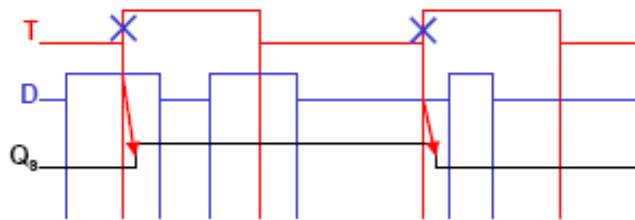
- Per ovviare ai problemi suddetti sono stati introdotti i bistabili con memoria ausiliaria
- Tali bistabili rispondono al *fronte* del segnale di sincronismo e non al livello

Bistabile Master-Slave DT



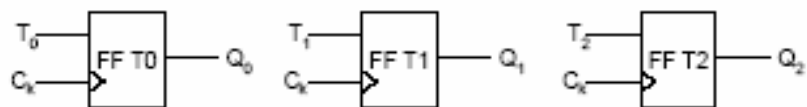
Bistabile Master-Slave DT

- Nella configurazione *Master-Slave* del bistabile *DT* l'ingresso si trasferisce all'uscita sul fronte di salita del segnale di sincronismo



Contatori Sincroni

Contatori Modulo 8 con FF T



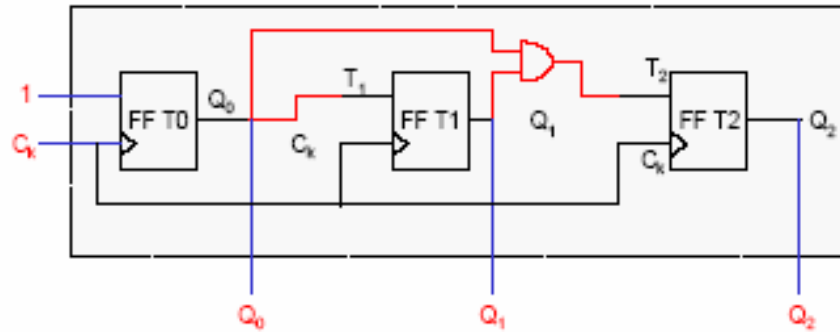
Q	Q'	Ck	T
0	0	1	0
0	1	1	1
1	0	1	1
1	1	1	0
0	0	0	-
1	1	0	-

Q2	Q1	Q0	Q2'	Q1'	Q0'	T2	T1	T0
0	0	0	0	0	1	0	0	1
0	0	1	0	1	0	0	1	1
0	1	0	0	1	1	0	0	1
0	1	1	1	0	0	1	1	1
1	0	0	1	0	1	0	0	1
1	0	1	1	1	0	0	1	1
1	1	0	1	1	1	0	0	1
1	1	1	0	0	0	1	1	1

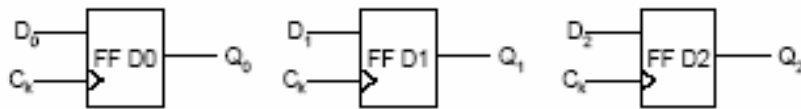
$T_0 = 1$
 $T_1 = Q_0$
 $T_2 = Q_0 Q_1$

Contatori Sincroni Contatori Modulo 8 con FF T

$$T_0 = 1 \quad T_1 = Q_0 \quad T_2 = Q_0 Q_1$$



Contatori Sincroni Contatori Modulo 8 con FF D



Q	Q'	Ck	D
0	0	1	0
0	1	1	1
1	0	1	0
1	1	1	1
0	0	0	-
1	1	0	-



Q2	Q1	Q0	Q2'	Q1'	Q0'	D2	D1	D0
0	0	0	0	0	1	0	0	1
0	0	1	0	1	0	0	1	0
0	1	0	0	1	1	0	1	1
0	1	1	1	0	0	1	0	0
1	0	0	1	0	1	1	0	1
1	0	1	1	1	0	1	1	0
1	1	0	1	1	1	1	1	1
1	1	1	0	0	0	0	0	0

Contatori Sincroni Contatori Modulo 8 con FF D

Q2	Q1	Q0	Q2'	Q1'	Q0'	D2	D1	D0
0	0	0	1	1	1	0	0	1
0	0	1	1	1	0	0	1	0
0	1	0	1	0	1	0	1	1
0	1	1	1	0	0	1	0	0
1	0	0	0	1	1	1	0	1
1	0	1	0	1	0	1	1	0
1	1	0	0	1	1	1	1	1
1	1	1	0	0	0	0	0	0

		Q ₀ Q ₁			
		00	01	11	10
D0	0	0	0	1	0
D0	1	1	1	0	0

$$D_0 = \underline{Q_0}$$

		Q ₀ Q ₁			
		00	01	11	10
D1	0	0	1	1	0
D1	1	1	0	0	1

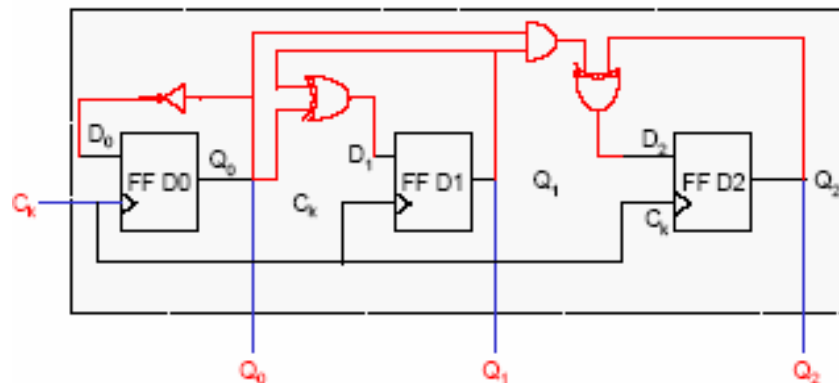
$$D_1 = \underline{Q_0}Q_1 + Q_0\underline{Q_1} = Q_0 \oplus Q_1$$

		Q ₀ Q ₁			
		00	01	11	10
D2	0	0	0	1	0
D2	1	1	1	0	1

$$D_2 = \underline{Q_0}Q_1\underline{Q_2} + \underline{Q_2}Q_0\underline{Q_1} + \underline{Q_1}Q_2 = Q_2 \oplus Q_0Q_1$$

Contatori Sincroni Contatori Modulo 8 con FF D

$$D_0 = \underline{Q_0} \quad D_1 = Q_0 \oplus Q_1 \quad D_2 = Q_2 \oplus Q_0Q_1$$



Esercizio 6.1

- Realizzare un contatore modulo 8 che conti alla rovescia (da 7 a 0).
 - Riunire i contatori modulo 8 con conteggio up e down in un unico circuito con un ingresso che ci permetta di scegliere tra i due tipi di conteggio.
-