

INTRODUZIONE

I campi di applicazione delle memorie non volatili sono in espansione: la telefonia cellulare e i computer portatili, sono divenuti beni di consumo a larga diffusione e necessitano di una grande quantità d'informazione da memorizzare e mantenere anche in assenza di alimentazione.

La domanda crescente di memorie non volatili, capaci di immagazzinare sempre maggiori quantitativi di informazione, pur mantenendo le stesse dimensioni del chip, ha promosso la ricerca di nuove tecnologie per la memoria EEPROM Flash.

Le tecniche di programmazione multilivello rappresentano una valida alternativa alla riduzione delle dimensioni geometriche della cella di memoria attuabili con nuovi processi tecnologici. Si memorizzano in una singola cella due o più bit di informazione senza incrementarne le dimensioni geometriche e cercando di minimizzare lo spazio occupato dalla circuiteria di gestione aggiuntiva.

La necessità di estendere l'applicazione delle memorie Flash multilivello anche ad applicazioni di tipo "*program storage*" ha richiesto lo studio di tecniche innovative di programmazione, che contengano i tempi di accesso e di scrittura a valori confrontabili alle memorie Flash convenzionali. La tecnica di programmazione analogica multilivello, dunque, si prefigge di semplificare la circuiteria di servizio all'*array* di celle, con conseguente riduzione di spazio, e di aumentare la densità di immagazzinamento dell'informazione per cella, cercando di contenere i costi

aggiuntivi in termini di tempo e di specifiche richieste ai blocchi di programmazione e lettura.

Il presente lavoro è composto di due parti: nella prima parte si introduce l'argomento su le memorie non volatili, descrivendo dettagliatamente le memorie Flash convenzionali con relative operazioni e problematiche. Successivamente viene introdotto l'argomento relativo alle memorie Flash multilivello e vengono descritte le diverse tecniche di programmazione. La prima parte termina con la descrizione del Test Chip e gli obiettivi che si vogliono raggiungere con quest'ultimo.

Nella seconda parte vengono affrontate problematiche, relative alla programmazione analogica, in particolare le variazioni di tensione di soglia per celle distribuite lungo la stessa bit line, e programmate allo stesso livello di programmazione. Vengono riportati analisi e risultati di circuiti di compensazioni che riducono, almeno in parte, le variazioni della tensione di soglia.

Il lavoro presentato in questa tesi è stato realizzato, nei primi mesi, nel centro di Ricerca e Sviluppo della Texas Instruments di Avezzano, e negli ultimi mesi nello stesso centro della Micron Technology.