

INDICE

INTRODUZIONE	1
I. MEMORIE FLASH	3
1.Classificazione delle memorie	3
2.Le memorie non volatili a semiconduttore	4
3.La cella FLASH	7
4.Le operazioni	11
La lettura	11
La programmazione	12
La cancellazione	15
La compattazione	17
5.Architettura	18
Architettura NOR	18
6.Aspetti di affidabilità	19
Write/erase endurance	19
data retention	20
7.Operazioni di verify	21
8.Memoria Flash Multilivello	23
II. TECNICHE DI PROGRAMMAZIONE	26
1.La programmazione	26
2.Tecniche di programmazione algoritmica	28
Programmazione con tensione di gate	30
Programmazione con tensione di drain	31
3.Algoritmo di programmazione	31
4.Programmazione analogica	33
5.Circuito con amplificatore differenziale	37
6.Circuito con specchi di corrente	42
7.Affidabilità delle memorie multi-livello	47

III. TEST CHIP	49
1.Obiettivi del Test Chip	49
2.Organizzazione e scopi	50
Flash array	51
Row e column decoder	53
Programming path	54
Mux	54
Data I/O	54
3.Sense amplifiers	54
Lettura di memoria multilivello	54
Tecniche di lettura	56
Three stages sense amplifiers	57
Distance sense amplifier	59
4.Analog	61
High Voltage Pump	61
High Current Pump	62
5.Control logic	63
Write state machine	63
IV. PROGRAMMAZIONE ANALOGICA	66
1.Premessa	66
2.Blocco di controllo	67
3.Riferimento di corrente	70
4.Blocco di confronto	73
Sense amplifier	74
5.Blocco di interruzione e specchio di corrente	77
6.Modello della cella FAMOS in programmazione	78
Concetto di modello	79
Measure Setup	79
Simulation Setup	82
Risultati	83
7.Analisi e risultati di V_t di celle distribuite lungo una bit line	83
8.Compensazione della tensione di drain V_D	87

Implementazione del circuito	93
Analisi e risultati	94
9.Compensazione del carico resistivo di bit line	100
Analisi e risultati	102
10.Descrizione e funzionamento del circuito implementato	103
11.Conclusioni	105

BIBLIOGRAFIA **107**

Ringraziamenti