

I.MEMORIE FLASH

1.Classificazione delle memorie

Una memoria allo stato solido è un dispositivo elettronico in grado di memorizzare dati in forma binaria per poi fornirli quando richiesti. Un dispositivo elettronico in grado di memorizzare un solo bit (zero o uno), viene definito come cella elementare di memoria. Normalmente una memoria è formata da numerose celle, che permettono la memorizzazione di grossi quantitativi di dati. Dal punto di vista elettronico una cella può essere costituita in modo diverso a seconda della tecnologia con cui si realizza il dispositivo di memoria.

La prima classificazione che può essere effettuata con le memorie è relativa al tipo di tecnologia con cui sono realizzate le singole celle elementari. Si hanno pertanto:

- memorie di tipo bipolari realizzate con transistor di tipo BJT. Tali tipi di memorie permettono tempi molto brevi per l'accesso ai dati, ma non offrono la possibilità di ottenere chip con grandi capacità;
- memorie con celle realizzate con transistor di tipo MOS. In base al tipo di transistor usato si distinguono in N-MOS (a canale n), C-MOS (complementari, con canale n e p). Tali memorie permettono di ottenere

grosse capacità di integrazione, ma sono meno veloci rispetto al tipo bipolare.

Tuttavia le nuove tecnologie hanno permesso di realizzare memorie di tipo MOS sempre più veloci, e con elevatissime scale di integrazione, pertanto possono considerarsi attualmente le più diffuse.

Una classificazione delle memorie in base alle loro caratteristiche funzionali, può essere poi fatta secondo la modalità con cui si può accedere al dispositivo: si avranno pertanto memorie a sola *lettura* e memorie a *lettura e scrittura*:

- sono memorie a sola *lettura* quelle in cui è possibile effettuare la sola lettura dei dati memorizzati, senza la possibilità di scrivere in esse nuove informazioni;
- nelle memorie a *lettura e scrittura*, invece, è possibile memorizzare dati e poi rileggerli senza alcuna limitazione.

Le memorie sono poi definite memorie di tipo *non volatile* e memorie di tipo *volatili*. Si definiscono non volatili quelle memorie che mantengono le informazioni in esse memorizzate anche quando non sono più alimentate. A questa classe appartengono le ROM, le PROM, le EPROM, le EEPROM e le memorie FLASH.

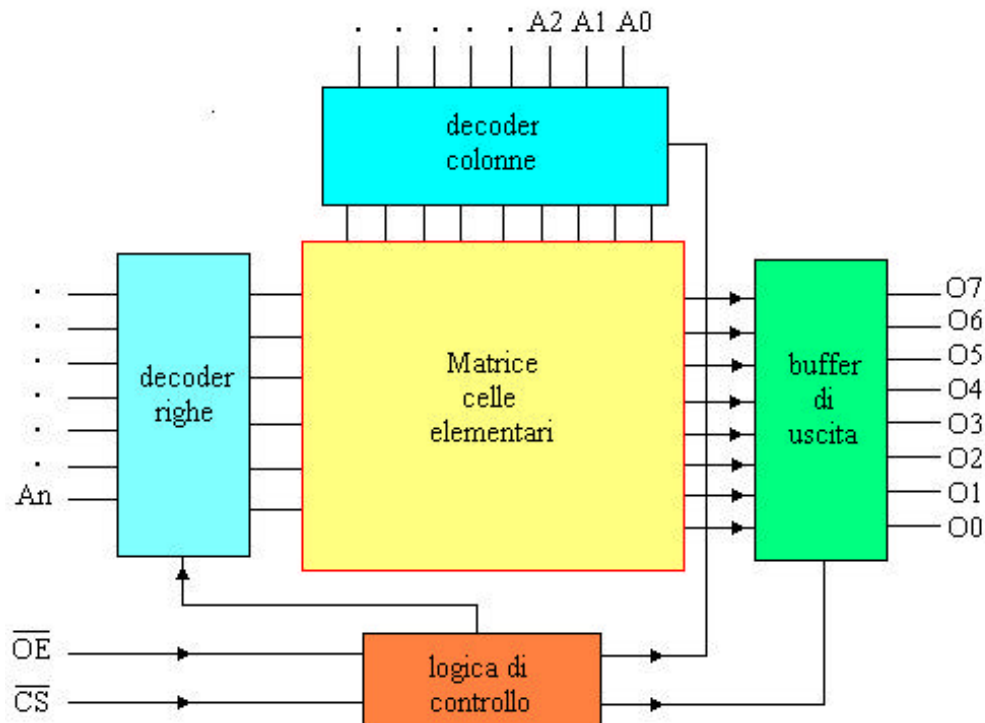
Sono invece memorie volatili quelle che perdono il loro contenuto una volta che sono disconnesse da una sorgente di alimentazione. Sono memorie volatili le RAM.

2. Le memorie non volatili a semiconduttore

Nella moderna microelettronica, il termine non volatile indica comunemente memorie a sola lettura (Read Only Memories-ROM) di tipo programmabile, ovvero normalmente utilizzabili in lettura ma occasionalmente anche scrivibili. La scrittura (o programmazione) di queste memorie resta un'operazione in qualche modo di tipo eccezionale, perché coinvolge procedure, tensioni e modalità diverse da quelle del funzionamento come ROM, ma offre comunque il vantaggio di rendere questi

dispositivi molto flessibili, rimandando all'utente la personalizzazione del contenuto informativo della memoria. Per questo motivo, le memorie non volatili stanno avendo grande successo e trovano oggi crescente applicazione nei moderni sistemi elettronici.

Le memorie non volatili hanno nomi e caratteristiche diverse, ROM, PROM, EPROM, EEPROM, e le memorie FLASH. Esse si differenziano essenzialmente per il modo di programmazione, ovvero per come vengono scritti in essi i dati che poi conserveranno anche in assenza di alimentazione.



A0-An : linee di indirizzo
O0-O7: dato in uscita
 \overline{CS} , \overline{OE} : segnali di accesso e lettura della memoria

Fig.I.1

La struttura di una memoria non volatile, è riportata in Fig.I.1; essa è riconducibile ad una matrice di celle elementari completata con i circuiti di

decodifica degli indirizzi, il blocco di *chip select* e di *out enable* e la sezione di uscita con i buffer *three-state*.

Il blocco di decodifica degli indirizzi trasforma la combinazione dei livelli logici presenti sul bus indirizzi in effettiva selezione della cella richiesta (o gruppo di celle). I segnali *chip select* e *out enable* sono in grado di attivare le operazioni di accesso e di lettura della memoria.

Le memorie ROM sono programmate in sede di fabbricazione, la loro programmazione è commissionata direttamente dall'utente. E' evidente che i dati contenuti nelle memorie ROM non sono in alcun modo modificabili.

Per superare le limitazioni delle memorie ROM, sono state introdotte le memorie PROM, queste ultime sono programmabili dall'utente una sola volta in quanto è impossibile ripristinare lo stato iniziale.

Le memorie EPROM sono memorie programmabili ma anche cancellabili. La cancellazione è ottenuta esponendo la memoria a raggi ultravioletti.

Le memorie EEPROM e le memorie Flash sono simili alle EPROM, con la differenza che sono cancellabili elettricamente senza far ricorso ai raggi ultravioletti, questo significa che la programmazione e la cancellazione avviene direttamente sul circuito che le ospita.

La cancellazione delle memorie EEPROM viene effettuata sulla singola cella o su un gruppo di celle che costituiscono il dato, questo grazie alla presenza di un transistor di selezione in corrispondenza di ogni cella.

Nelle memorie Flash invece la cancellazione avviene su interi blocchi chiamati settori, cioè non è possibile cancellare la singola cella.

Le memorie Flash, le EEPROM, le EPROM utilizzano come cella elementare di memoria il transistor a *floating-gate*.

3.La cella FLASH

La singola cella di memoria flash è costituita da un dispositivo a *floating-gate*, questo è sostanzialmente un MOS avente una gate isolata elettricamente e accoppiata capacitivamente ad un elettrodo detto *control-gate* (Fig.I.2, Fig.I.3).

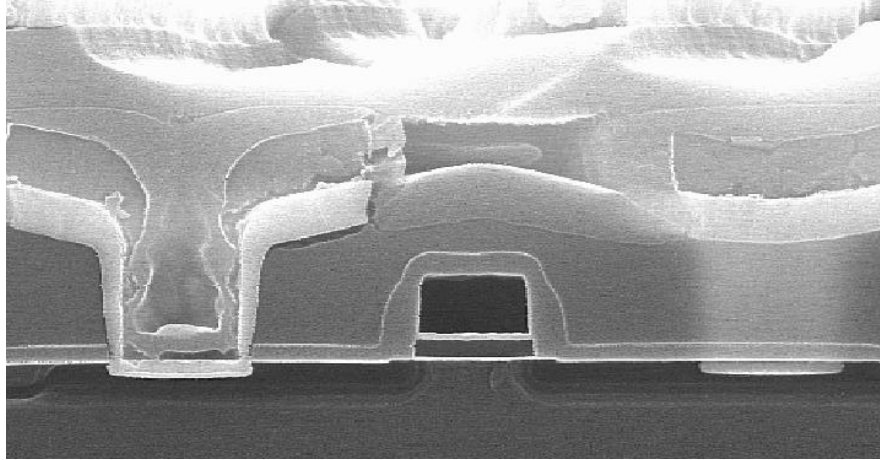


Fig.I.2. Microfotografia in sezione di un dispositivo a f-g

Per effetto di particolari meccanismi, nella gate isolata, viene immagazzinata della carica che andrà a costituire il dato memorizzato.

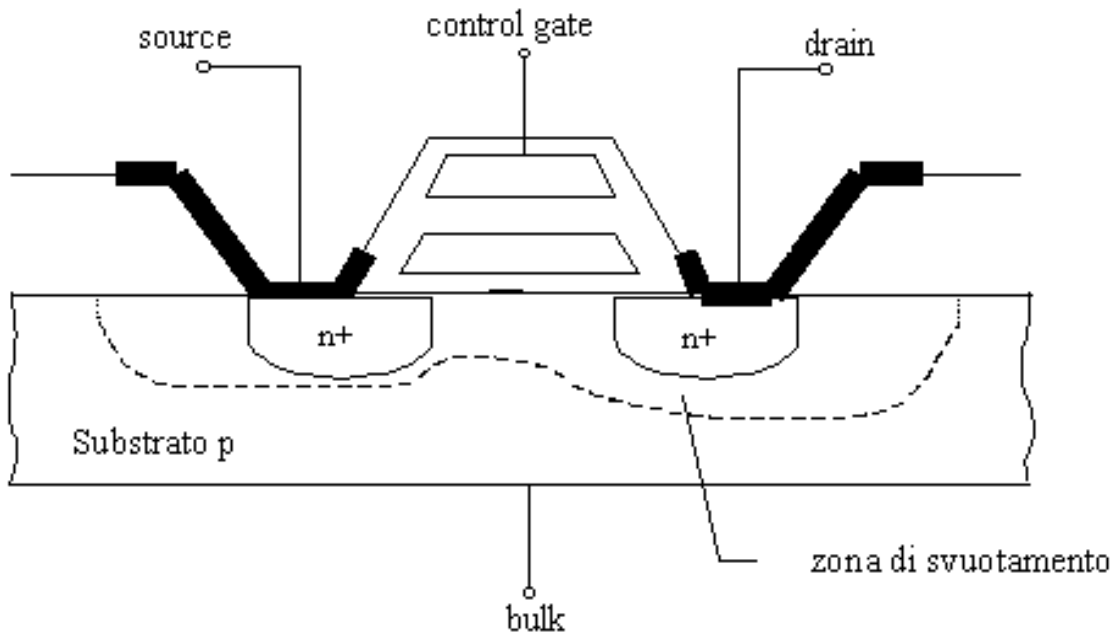


Fig.I.3

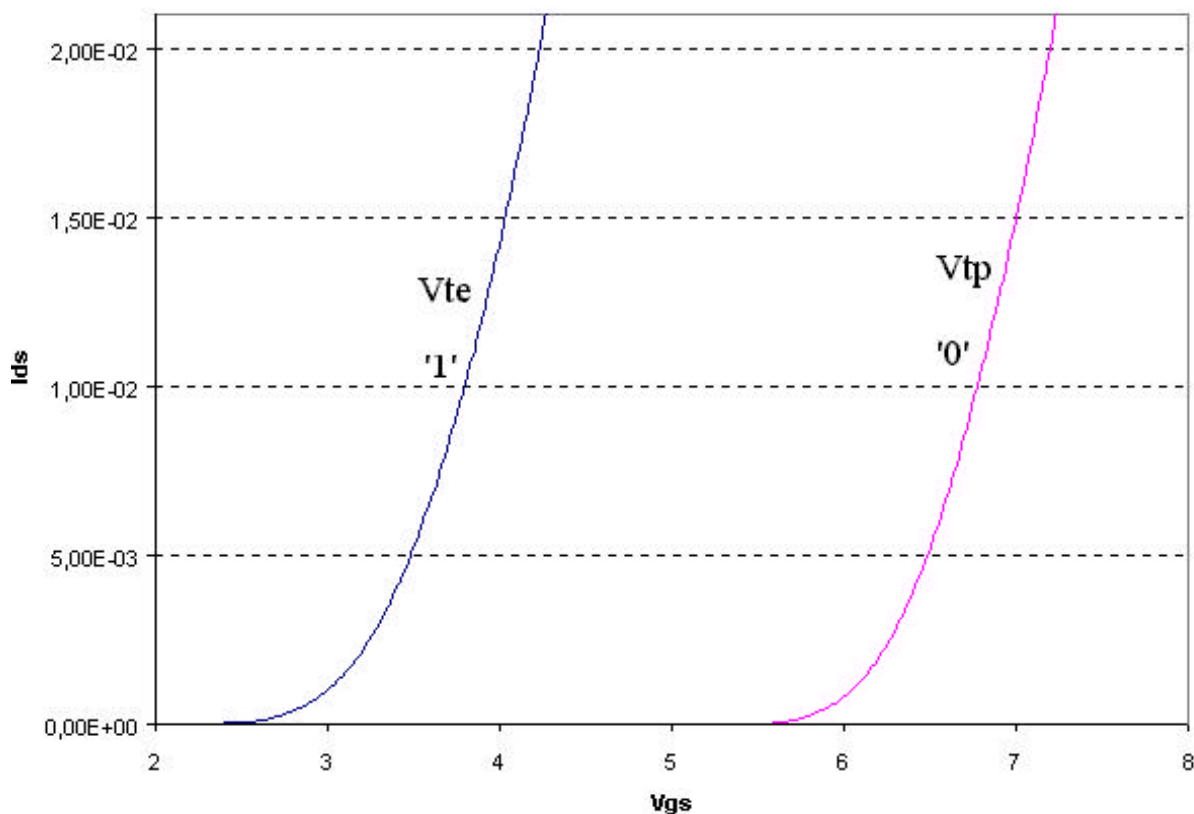


Fig.I.4.Spostamento della caratteristica elettrica

Il funzionamento base prevede il trasferimento di carica da un terminale laterale alla gate isolata. Questo trasferimento si ottiene fornendo agli elettroni energia sufficiente da permettere il superamento della barriera di potenziale all'interfaccia silicio e biossido di silicio. Gli elettroni iniettati nella floating-gate alterano la tensione di soglia riferita al *control-gate*, provocando lo spostamento della caratteristica elettrica del dispositivo(Fig.I.4). La tensione di soglia in assenza di carica nella *floating-gate* si indica con V_{te} , corrispondentemente con V_{tp} quando cariche elettriche sono presenti nella *floating-gate*.

Essendo la carica intrappolata nella *floating-gate*, la traslazione della caratteristica elettrica risulta permanente e può quindi essere utilizzata per rappresentare un dato binario (presenza o assenza di carica) in modo non volatile (Fig.I.5).

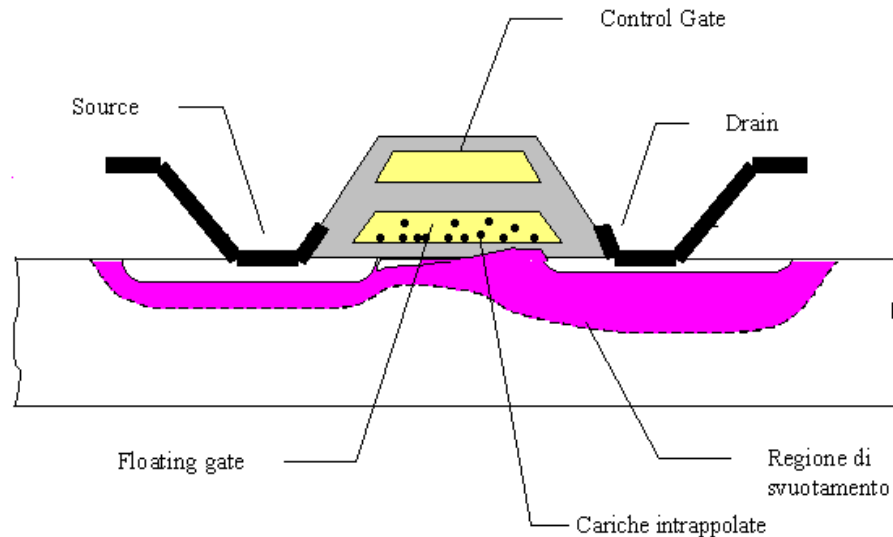


Fig.I.5

Il passaggio di elettroni nella *floating-gate* può avvenire per due meccanismi:

- Channel Hot Electron;
- Effetto Tunnel Fowler-Nordheim.

E' interessante fare alcune considerazioni sul comportamento elettrico della cella FAMOS. Si può rappresentare una cella FAMOS con dei condensatori (Fig.I.6):

- C_c capacità tra *control-gate* e *floating-gate*;
- C_f capacità tra *floating-gate* e *substrato*;
- C_{fs} capacità tra *floating-gate* e *source*;
- C_{fd} capacità tra *floating-gate* e *drain*

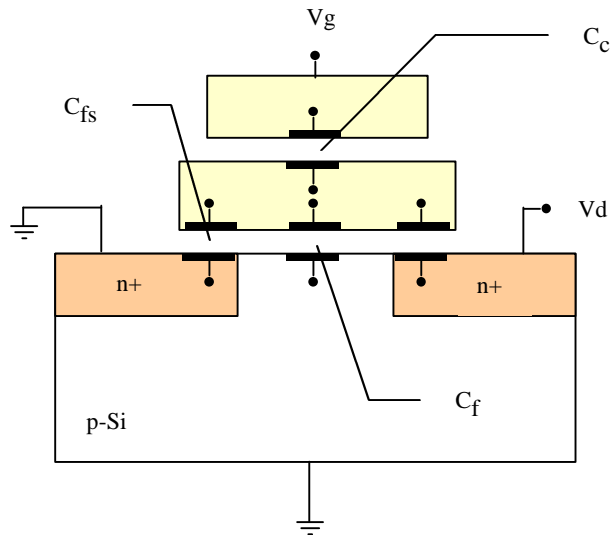


Fig.I.6. Modello capacitivo della cella Famos

Indicando le capacità e carica immagazzinata nel seguente modo: $C_1=C_f+C_{fs}$, $C_2=C_c$, $C_3=C_{fd}$; $Q_2+Q_3-Q_1=-Q_f$ (Fig.I.7).

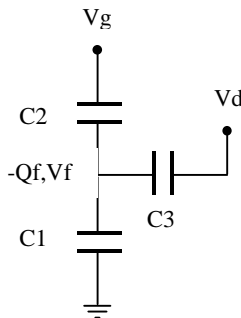


Fig.I.7

Possiamo scrivere:

$$V_f = \frac{(C_2 V_g + C_3 V_d + Q_f)}{(C_1 + C_2 + C_3)}$$

Per una variazione della carica presente nella *floating-gate* si ha una corrispondente variazione della tensione V_f . L'accoppiamento capacitivo tra *floating-gate* e drain fa sì che vari anche la tensione V_g ; si ottiene:

$$\Delta V_g = \frac{\Delta V_f (C_1 + C_2 + C_3)}{C_2}$$

Osserviamo, che la tensione V_f può essere vista come la tensione di soglia del MOS quando la *floating-gate* viene usata come un normale elettrodo di gate. Ponendo allora, $V_f = V_{t0}$ e $V_g = V_t$ la relazione precedente esprime la variazione della soglia della cella famos conseguente ad una iniezione di elettroni che produce un aumento di carica nella *floating-gate*. A conferma del significato attribuito a V_{t0} , si noti che al tendere di C_2 ad infinito V_t tende proprio a V_{t0} .

4. Le operazioni

Esaminiamo ora in maggior dettaglio le singole operazioni.

La lettura

La lettura del dato memorizzato nella cella di memoria viene effettuata

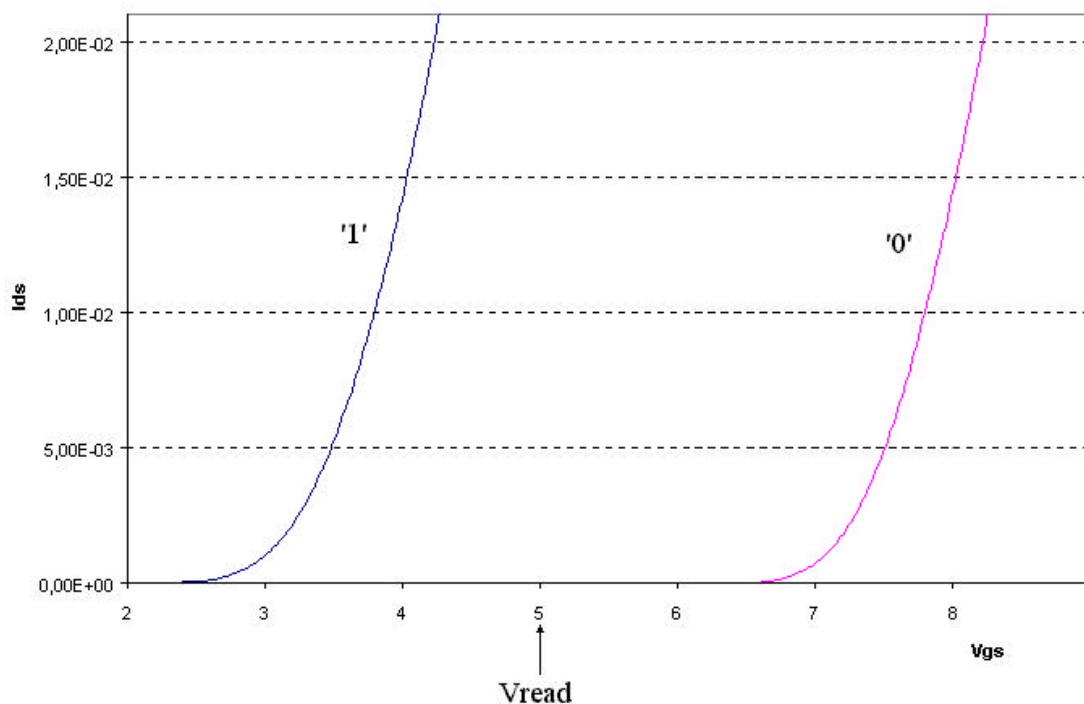


Fig 18

determinando lo stato di conduzione della cella stessa in riferimento alla tensione di lettura applicata al *control-gate* e di valore intermedio tra V_{te} e V_{tp} . Se la *floating-gate* contiene elettroni la tensione di soglia risulta essere V_{tp} , circa 7V, per cui la cella non può condurre corrente. Viceversa, se la *floating-gate* non contiene elettroni, la tensione V_g è in grado di portare in conduzione la cella, avendo la cella una V_{te} compresa fra 2-3V (Fig.I.8). Il dato viene quindi memorizzato come variazione della tensione di soglia della cella. Convenzionalmente si associa il dato '0' alla soglia V_{tp} ed il dato '1' alla soglia V_{te} .

La programmazione

Il fenomeno ora più sfruttato per la programmazione di una cella FAMOS è il *Channel Hot Electron*. Consideriamo la situazione in cui i terminali di source e substrato sono connessi a massa, mentre al *control-gate* e al drain sono applicate le tensioni V_g e V_d (Fig.I.9). Si parte da una situazione iniziale di equilibrio supponendo che non ci siano cariche nella *floating-gate* (Fig.I.10a). Applicando una tensione positiva sul drain la giunzione *drain-substrato* di tipo p-n è polarizzata inversamente. La tensione V_d cade lungo il canale e l'estensione della regione di svuotamento cresce man mano che si va dal source al drain. In prossimità di questo e

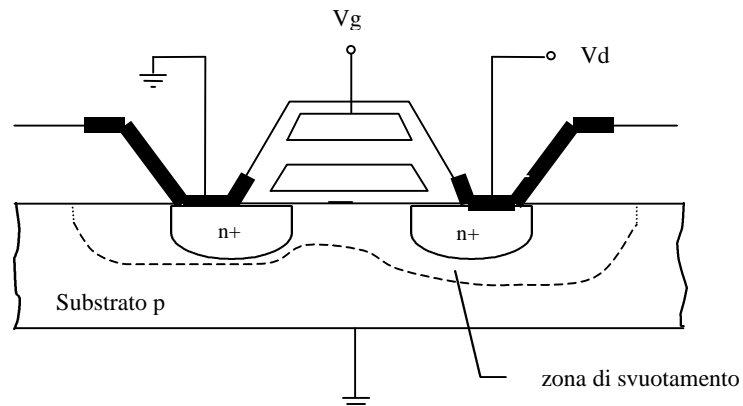


Fig.I.9

al di sotto della *floating-gate* si ha la zona di massimo campo elettrico tangenziale.

Una tensione positiva al *control-gate* induce un potenziale positivo alla *floating-gate*, che tende ad invertire lo strato superficiale del substrato formando così il canale.

Aumentando la tensione di drain, gli elettroni nel canale verranno accelerati aumentando la loro energia cinetica. Per un certo valore di V_d , avrà inizio il fenomeno di moltiplicazione a valanga e gli elettroni avranno energia sufficiente per superare la barriera dell'ossido (Fig.I.10b).

La tensione di gate applicata favorisce il passaggio degli elettroni nella *floating-gate*; l'accumularsi di carica nella *floating-gate* aumenta la tensione di soglia. Ora, sarà necessaria una tensione V_g più alta per compensare la carica negativa ed indurre lo stesso potenziale alla *floating-gate* che garantirà la presenza del canale. Alla condizione attuale della cella può essere associato lo stato programmato (il dato '0').

Il processo descritto è *auto-limitante* in quanto gli elettroni nella *floating-gate* ostacolano l'ulteriore iniezione di carica.

Gli elettroni iniettati nella *floating-gate* restano qui intrappolati (Fig.I.10c).

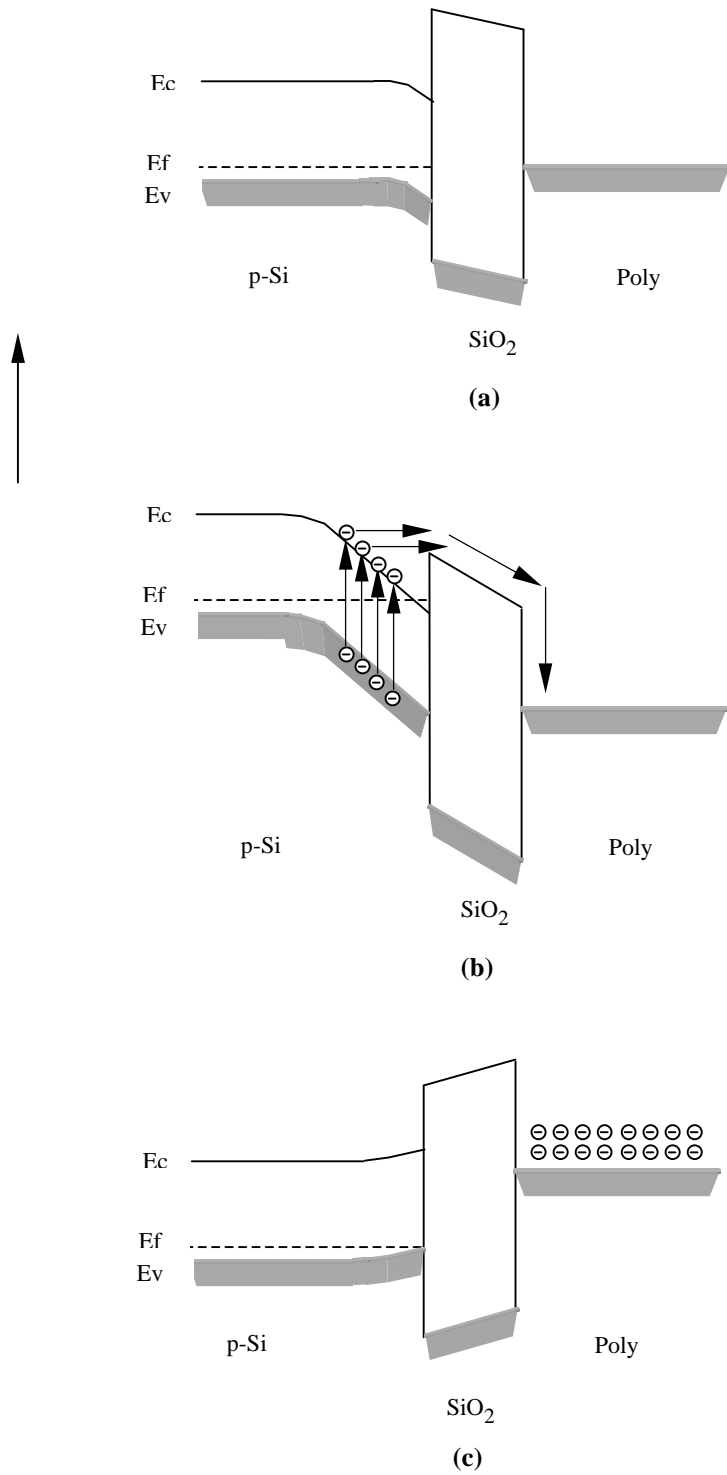


Fig.I.10

Variatione delle bande di energia con la distanza in direzione normale all'interfaccia Si-SiO₂. (a): all'equilibrio; (b): nella fase di iniezione; (c): una volta rimossa la tensione V_d .

La cancellazione

Nell'operazione di cancellazione della cella FAMOS viene sfruttato l'effetto *Tunnel Fowler-Nordheim*. Tale fenomeno consiste nell'attraversamento della barriera di potenziale all'interfaccia Si-SiO₂, da parte degli elettroni, per effetto tunnel; perché questo avvenga è necessario che l'ossido sia molto sottile (200Å) e la

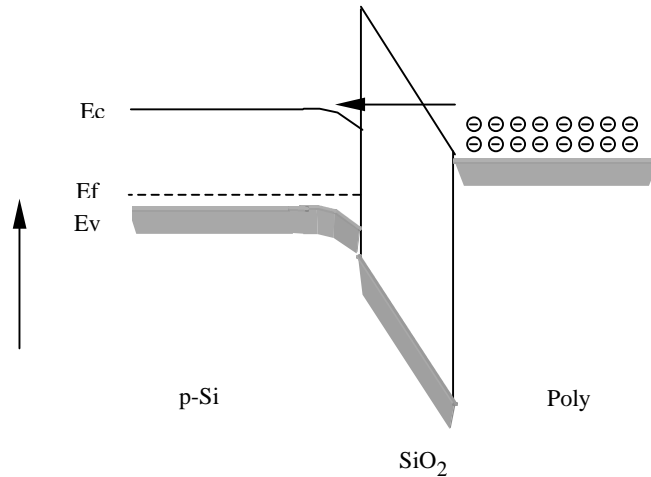


Fig.I.11

tensione di polarizzazione abbia un valore opportuno (Fig.I.11).

La relazione che descrive la densità di corrente, che esce dalla *floating-gate*, per effetto *tunnel Fowler-Nordheim* è la seguente:

$$J = A \cdot E^2 \cdot e^{\frac{E_0}{E}}$$

dove:

- A e E₀ sono delle costanti legate al processo tecnologico;
- E è il campo elettrico attraverso l'ossido ed è funzione della tensione di *floating-gate*:

$$E = \frac{V_{fg}}{d} \quad (d \text{ è lo spessore dell'ossido})$$

Il processo Fowler-Nordheim, in funzione delle tensioni applicate, può verificarsi tra *floating-gate* e substrato, impegnando tutta la zona di canale, oppure tra *floating-gate* e source impegnando una ristretta zona tra l'ossido di gate e la diffusione di source. Nel primo caso (*Channel Erase*), si applica una tensione negativa sul gate rispetto al substrato in modo che la corrente fluisca più o meno uniformemente attraverso il canale Fig.I.12a.

Nell'altro caso invece (*Source-Side Erase*), una tensione positiva è applicata sul source rispetto al gate e al substrato, così che la corrente resti confinata nei pressi del

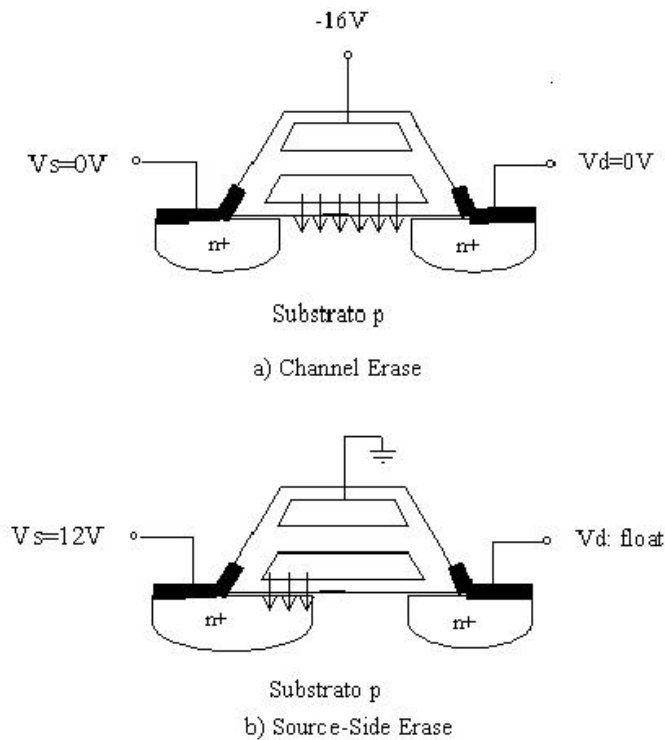


Fig.I.12

source. Il vantaggio dell'*erase* attraverso il source è che, non interessando il canale, non altera le caratteristiche di funzionamento, in particolare minimizzano la degradazione della V_t . I dispositivi che utilizzano questo modo di cancellazione,

sono tipicamente asimmetrici con la diffusione di source più estesa di quella di drain. Ciò permette di ottenere una maggiore sovrapposizione tra source e gate Fig.I.12b.

La compattazione.

L'operazione di compattazione si rende necessaria in quanto in fase di cancellazione si potrebbe avere un impoverimento di elettroni nella *floating-gate* tale da portare la tensione di soglia vicino a 0V se non al di sotto nel caso di *depletion*. Un'ulteriore operazione di programmazione richiede tempi più lunghi, inoltre in caso di *depletion*, si può avere passaggio di corrente attraverso la cella anche quando essa è deselezionata. Nella fase di compattazione le tensioni che normalmente vengono

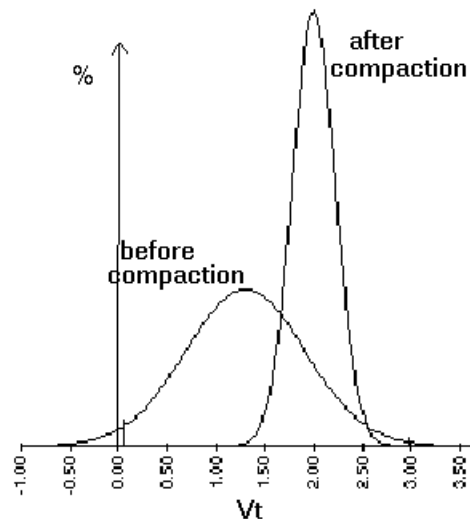


Fig.I.13. Operazione di compattazione

applicate sono 2.1V sul gate, 0.8V sul source, 4.7V sul drain e substrato a massa.

5.Architettura

Un'altra importante suddivisione va fatta in relazione al tipo di architettura dell'array di memoria adottata. Si distinguono allora tra strutture NOR, NAND, AND, e DINOR. Analizziamo in dettaglio solo l'architettura NOR in quanto è quella utilizzata nel progetto del Test Chip della multi-level (Fig.I.14).

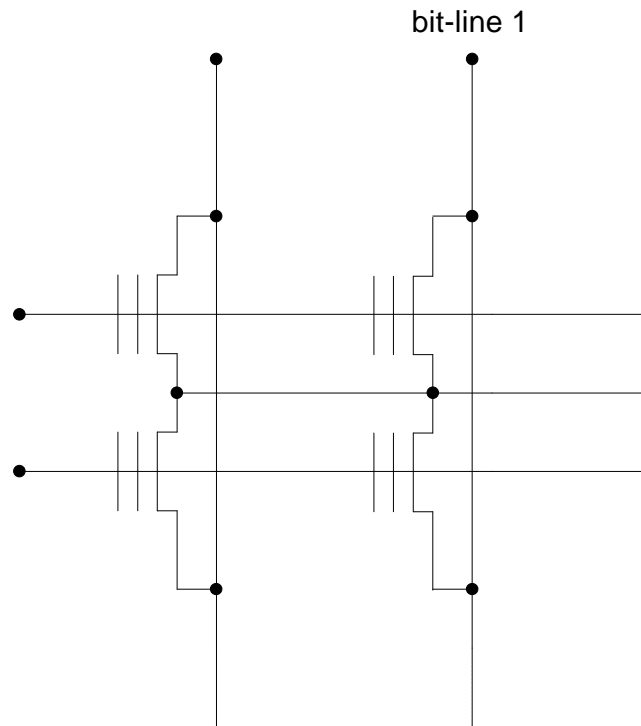


Fig.I.14

Architettura NOR.

Questo tipo di architettura nell'operazione di programmazione sfrutta il fenomeno dell'iniezione di elettroni caldi(CHE), mentre per la cancellazione l'effetto tunnel Fowler-Nordheim. Inoltre ad ogni singola cella si accede direttamente, garantendo una maggiore precisione nelle operazioni, tempi di accesso più brevi e minore disturbo alle altre celle di memoria.

Nella architettura NOR le drain, delle celle di memoria, sono contattate con le linee di *bit-line* che viaggiano verticalmente lungo tutto l'*array*, mentre le source di

un gruppo sono collegate insieme mediante una diffusione e poi contattate con una linea di *metall*.

L'*array* di celle è diviso in settori, la caratteristica di ciascun settore è di avere tutte le source collegate insieme andando a costituire il cosiddetto *array-source*, è per questo che andando a polarizzare opportunamente l'*array-source* relativo al singolo settore è possibile effettuare la cancellazione per settori. La cancellazione sarà di tipo *source-side*. Il substrato delle celle di memoria che costituiscono l'*array* è collegato a massa.

6.Aspetti di affidabilità

L'affidabilità di una memoria flash è legata alla *programmazione/cancellazione* della memoria (*write/erase endurance*) e alla conservazione della carica (*data retention*).

Write/erase endurance

Per programmare una cella flash occorre trasferire elettroni nella *floating-gate*, ed essi devono attraversare lo strato di ossido che separa la *floating-gate* dal canale. Un attraversamento nella direzione contraria si ha ogni volta che la cella viene cancellata.

Reiterati attraversamenti da parte degli elettroni causano dei danneggiamenti dell'ossido che finiscono col pregiudicare la possibilità di programmare e cancellare la cella ai livelli minimi di soglia necessari per una corretta riletture del dato.

E' chiaro quindi, come il numero di cicli di *write/erase* che la cella può tollerare prima che la sua affidabilità risulti compromessa, sia un parametro di fondamentale importanza per misurare la bontà di una memoria flash nei riguardi sia del progetto della cella e dei suoi circuiti di gestione, sia del processo di fabbricazione.

La *write/erase endurance* è un parametro importante per il progettista, il quale deve assicurarsi che, nel corso dell'applicazione, la memoria flash non venga esercitata in programmazione e cancellazione per un numero di volte superiore al numero di *write/erase endurance* specificato. Le memorie flash discrete oggi in commercio garantiscono 100000 cicli di *write/erase endurance*.

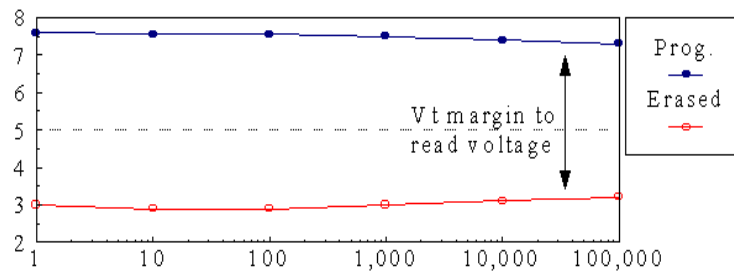


Fig.I.15. V_t in funzione del numero di cicli di *write/erase*

La Fig.I.15 mostra la variazione di V_t in funzione del numero di cicli di scrittura/cancellazione.

Data retention.

Oltre al numero di cicli di *write/erase*, l'affidabilità di una tecnologia flash è misurabile dalla capacità della cella di memoria di ritenere per lungo tempo il dato in essa immagazzinato. Si ha perdita del dato quando un '1' immagazzinato diventa uno '0' o quando uno '0' immagazzinato diventa un '1'. Il primo fenomeno, perdita di '1', consiste nella immissione non voluta di elettroni nella *floating-gate* ed è noto come *data gain*. Tale fenomeno non avviene mai a meno di imperfezioni nel progetto dei circuiti di gestione dell'*array* di memoria o di macroscopiche difettosità nella cella dovute a un cattivo processo di fabbricazione.

Il secondo fenomeno, perdita dello '0', consiste nella fuga di elettroni dalla *floating-gate* ed è, di gran lunga, più frequente del primo. Ciò perché lo stato di '1' (*floating-gate* neutra o con difetto di elettroni) è uno stato di minima energia che è più difficilmente perturbabile dello stato di '0' (*floating-gate* caricata negativamente

dall'eccesso di elettroni). Nello stato di '0' gli elettroni in eccesso nella *floating-gate* possono sfuggire per effetto di imperfezioni nell'ossido, di stress elettrici o termici.

Una buona cella flash deve poter ritenere lo stato di '0' alcuni anni a una temperatura uguale alla massima temperatura di operazione della applicazione. La ritenzione dello '0' viene testata prima della spedizione dei pezzi finiti. La tecnica adoperata è quella di effettuare test di ritenzione accelerati a temperatura elevata. Normalmente si procede nel seguente modo: si programmano tutte le celle a '0' e si prende nota della minima soglia della distribuzione, si mette il pezzo in forno per alcune ore a temperatura elevata (250 è un valore usato), successivamente si misura di nuovo la distribuzione degli '0' dopo il forno e si vede di quanto è calata la soglia minima. Noto il fattore di accelerazione si può stabilire un limite di accettazione per il delta di soglia che consente di assicurare che il pezzo soddisfa la specifica di ritenzione dei dati (*data retention*).

7. Operazione di verify

Due celle appartenenti alla stessa matrice, ed identicamente polarizzate, possono programarsi e/o cancellarsi differentemente, nel senso che una può programarsi e/o cancellarsi prima, o dopo, dell'altra.

Questo dipende, per esempio, dal processo di produzione che porta ad avere celle diverse all'interno dell'array, dipende anche dal deterioramento dell'ossido di

tunnel, perché dopo ripetuti cicli di *write/erase* si generano trappole all'interno dell'ossido stesso, in grado da ostacolare successive operazioni di scrittura e cancellazione.

Se consideriamo le distribuzioni delle tensioni di soglia relative ai due livelli di programmazione, corrispondenti allo *stato erasato* e *stato programmato*, notiamo

che le due distribuzioni hanno un intervallo di separazione, questo per garantire una corretta lettura della cella, perché nel tempo queste distribuzioni possono avvicinarsi. Nella programmazione, per controllare se la cella ha raggiunto lo stato di programmazione, si *verifica* se la tensione di soglia ha superato una certa tensione V_{vry0} , infatti quest'ultima rappresenta il limite inferiore per la programmazione, cioè il minimo valore di tensione di soglia per la cella programmata. Analogamente per la cancellazione, si *verifica* se la tensione di soglia è scesa sotto un valore di tensione V_{vry1} , a questo valore corrisponde il massimo valore di tensione di soglia per la cella erasata.

Nelle operazioni di programmazione e cancellazione, sono necessarie le operazioni di verifica (o *verify*), in quanto, come detto all'inizio del paragrafo celle appartenenti allo stesso array presentano caratteristiche, di programmazione e cancellazione, differenti.

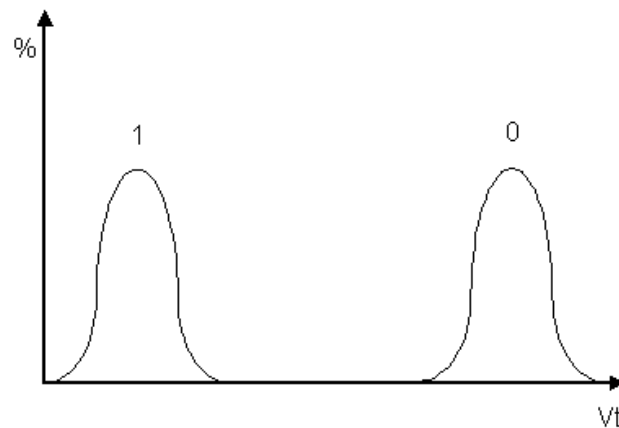


Fig.I.16.Distribuzioni delle tensioni di soglia per memorie flash bilivello

8. Memoria FLASH Multi-Livello(MLC)

L'esigenza di dispositivi di memoria non-volatili a sempre più elevata densità e basso costo ha determinato un interesse crescente verso l'approccio Multi-Livello, che consente di immagazzinare più di un bit di informazione per singola cella di memoria.

Tra le memorie Flash, quelle di tipo Multi-Livello rappresentano il prodotto più recente per aumentare sostanzialmente il contenuto informativo per unità di superficie della matrice di celle di un dispositivo senza intervenire sulla tecnologia.

L'approccio multi-livello richiede elevata precisione sia in fase di programmazione, sia in fase di lettura e pone rilevanti problemi dal punto di vista affidabilistico, a causa della maggior vicinanza tra i livelli di soglia corrispondenti ai differenti contenuti informativi.

Nella flash standard a due livelli, la lettura si identifica con il riconoscimento dello stato di conduzione o di spegnimento della cella a *floating-gate*, a cui vengono associati i valori logici '1' e '0'. Utilizzando un numero maggiore di valori di carica da immagazzinare sulla *floating-gate*, si può incrementare la capacità della memoria a parità di dimensioni e tecnologia delle celle.

Per esempio, usando quattro livelli di carica, uno deve essere tale da inibire la conduzione della cella, mentre i rimanenti devono essere tali da dar luogo a diversi stati di conduzione della cella selezionata. Se i quattro stati del transistor a *floating-gate* vengono correttamente riconosciuti, possono essere codificati con due bit consentendo alla cella di raddoppiare il suo contenuto informativo.

Considerando 8,16, 32.... livelli di carica sulla *floating-gate*, ogni cella potrebbe memorizzare 3, 4, 5... bit, con conseguente aumento di capacità di memoria. Nel caso limite di moltissimi livelli, necessariamente molto ravvicinati l'uno all'altro, le celle di memoria tenderebbero a un funzionamento analogico, con i vantaggi in

termini di contenuto informativo e gli svantaggi relativi alla bassa immunità al rumore.

I vantaggi offerti dal funzionamento dell'approccio multi-livello sono accompagnati da notevoli problemi, che li ridimensionano in parte, e richiedono un'intensa attività di ricerca per essere superati in modo soddisfacente. La base comune di tutti questi problemi è legata alla diminuzione della differenza tra i diversi livelli di conduzione dei transistor delle celle, ovvero tra le tensioni di soglia corrispondenti ai diversi livelli di carica nella *floating-gate*, necessariamente sempre più vicini l'uno all'altro al crescere del numero di livelli utilizzati, perché in ogni caso collocati all'interno di una finestra di valori definita dai limiti tecnologici per la massima V_t che si può imporre ad una cella.

La ridotta differenza tra i livelli di tensione di soglia, e quindi anche di conduzione delle celle di memoria, implica seri problemi a carico sia dei circuiti utilizzati in programmazione, a cui è richiesta maggiore precisione nei valori di V_t , sia quelli di lettura, chiamati a discriminare segnali molto più simili tra loro rispetto a quelli tradizionali.

Inoltre, la ridotta differenza tra i livelli di tensione di soglia, pone rilevanti problemi di tipo affidabilistico, perché i principali effetti che minacciano il buon funzionamento delle memorie flash a due livelli, in particolare la perdita di carica dalla *floating-gate* e la riduzione della finestra delle tensioni di soglia dovuta all'intrappolamento di carica nell'ossido di gate durante le operazioni di programmazione e di cancellazione, assumono maggior criticità nel funzionamento multi-livello.

Per questi motivi, sui circuiti di programmazione e di lettura, così come sulla affidabilità e sui fenomeni di degrado delle memorie, recentemente si è sviluppata

un'intensa attività di ricerca, che ora sta dando risultati significativi in grado di aprire reali sviluppi produttivi.