



Master II livello 2005

Modulo : Il sistema di memoria DRAM - architetture, circuiti e tecniche circuitali

Area tematica : Il sistema di memoria DRAM

Parte 1 : Cella di memoria DRAM costituita da un transistor e da una capacita'

- 1) immagazzinamento dinamico di carica e refresh
- 2) segnali per la scrittura e la lettura
- 3) obiettivi di progettazione e compromessi
- 4) problematiche di implementazione
  - 4.1) spessore dell'isolante
  - 4.2) materiale dell'isolante
  - 4.3) incremento dell'area effettiva della capacita'  
(planare-trench-stack)

Naso Giovanni



*in partnership with*

Università degli Studi dell'Aquila



## 1) Immagazzinamento dinamico e refresh

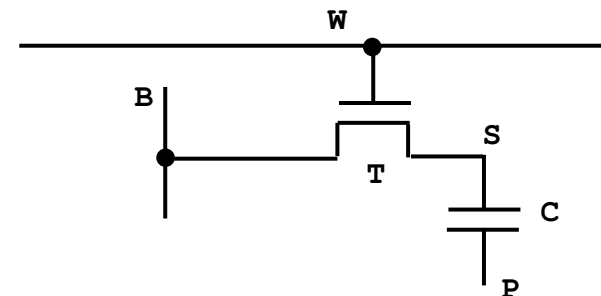
La struttura costituita da un transistor e una capacita' (1T1C) e' ormai diventata uno standard industriale per le memorie DRAM perche' :

- Occupa una piccola superficie orizzontale
- E' compatibile con un processo CMOS
- Ha buone prestazioni quando e' strutturata in un array
- Si presta facilmente ad processo di scalatura

La struttura dinamica 1T1C impiega un transistor T, una capacita' C ed il dato e' rappresentato dalla presenza o assenza di cariche immagazzinate nella capacita', ovvero dalla tensione relativa al nodo S (storage) comune tra T e C.

Quando  $V_S = V_{DD}$  (tensione di alimentazione) nella cella si intende memorizzato un valore logico 1. Quando  $V_S = 0$  volt nella cella si intende memorizzato un valore logico 0.

La linea W che costituisce la gate del transistor T si chiama 'word line'; il terminale del transistor T diverso dal nodo di storage si chiama 'bit line'; il terminale P della capacita' e' il plate comune a tutte le capacita' dell'array e per semplicita' si assume essere il ground.

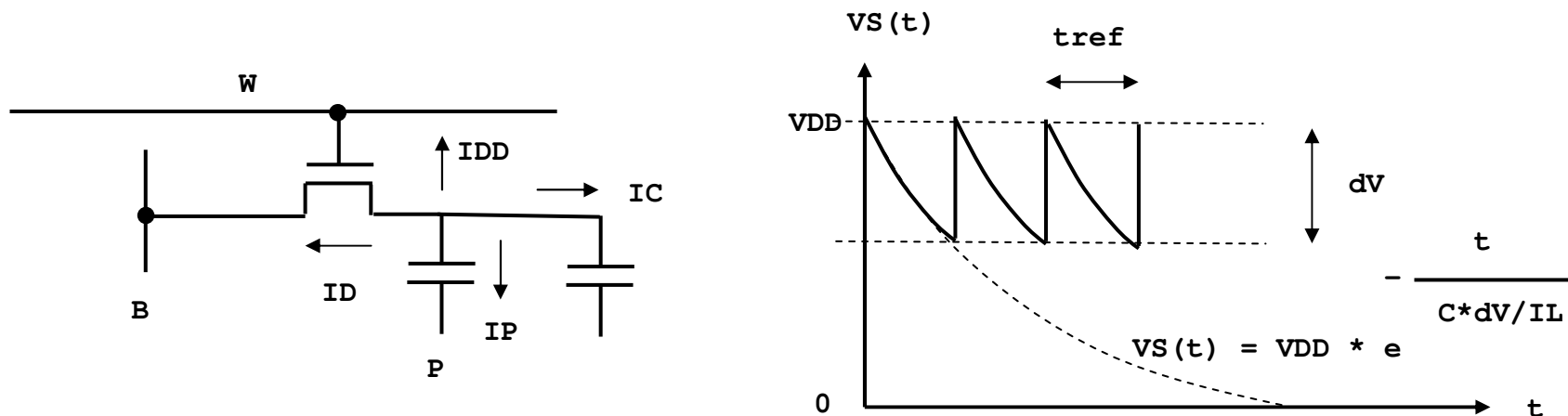


### 1) Immagazzinamento dinamico e refresh (cont.)

Una volta immagazzinate sul terminale S della capacita' C, con il transistor T in stato OFF, le cariche tendono a disperdersi :

- Verso l'altro piatto P della capacita' : corrente  $I_P$
- Verso le altre celle dell'array : corrente  $I_C$
- Verso l'alimentazione VDD : corrente  $I_{DD}$
- Attraverso il transistor di selezione : corrente  $I_D$

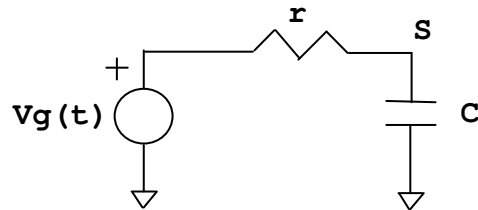
originando una corrente totale di leakage  $I_L = I_P + I_C + I_{DD} + I_D$ .



A causa della corrente di leakage, la tensione nel nodo S tende a variare nel tempo. Con una legge esponenziale. Si definisce tempo di refresh  $t_{ref}$  il tempo che occorre alla corrente di leakage per variare il potenziale nel nodo di storage di una quantita'  $dV$  detta 'margine di immunita'.

Se si assume  $dV = V_{DD}/10$  si ottiene  $t_{ref} \approx 2 * C * dV / I_L$

## 2) Segnali di scrittura e lettura : scrittura



La struttura di una cella DRAM 1T1C si puo' schematizzare, ai fini della operazione di scrittura, con un modello semplificato.

Se si assume che durante una operazione di scrittura :

- la word line W si porti istantaneamente ad un valore  $V_{DD} + V_T$  ( $V_T$  = tensione di soglia del transistore T)
- la bit line B si trovi ad un valore  $V_{DD}$
- la resistenza ON del transistore T sia costante nel tempo e uguale a  $r$
- la capacita' di immagazzinamento costante nel tempo e uguale a  $C$

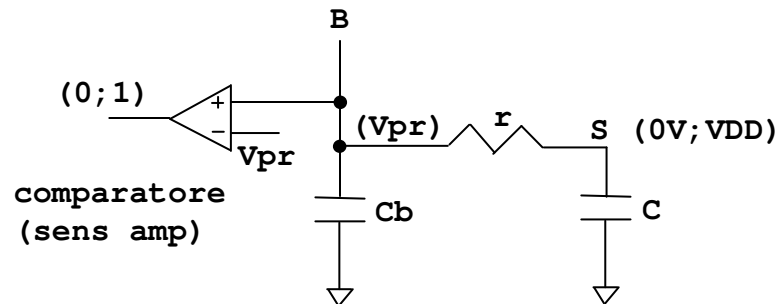
L'andamento temporale della tensione nel node S di storage in write si puo' scrivere :

$$V_{Sw}(t) = V_{DD} * \left(1 - e^{-\frac{t}{rC}}\right)$$

Da cui si puo' dire che :

- $t_r$  = tempo di salita ;  $t_f$  = tempo di discesa ;  $t_r = t_f = 2.2 * rC$
- $t_p$  = ritardo di propagazione ;  $t_p = 0.5 * rC$

## 2) Segnali di scrittura e lettura (cont.) : lettura



Prima della chiusura del transistor :

1) 1 logico :  $V_B = V_{pr} < V_{DD}$  ;  $V_S = V_{DD}$

2) 0 logico :  $V_B = V_{pr} < V_{DD}$  ;  $V_S = 0V$

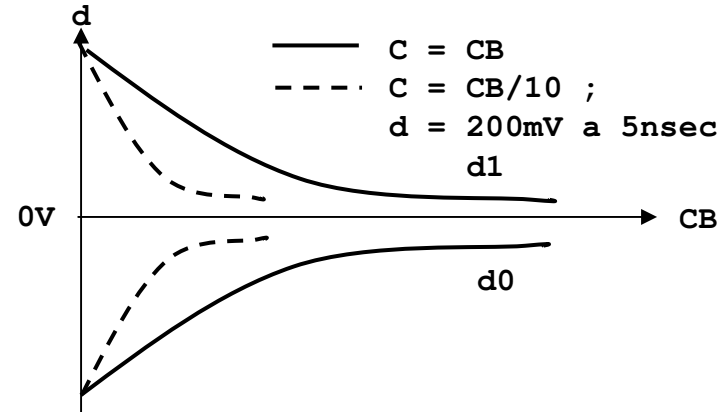
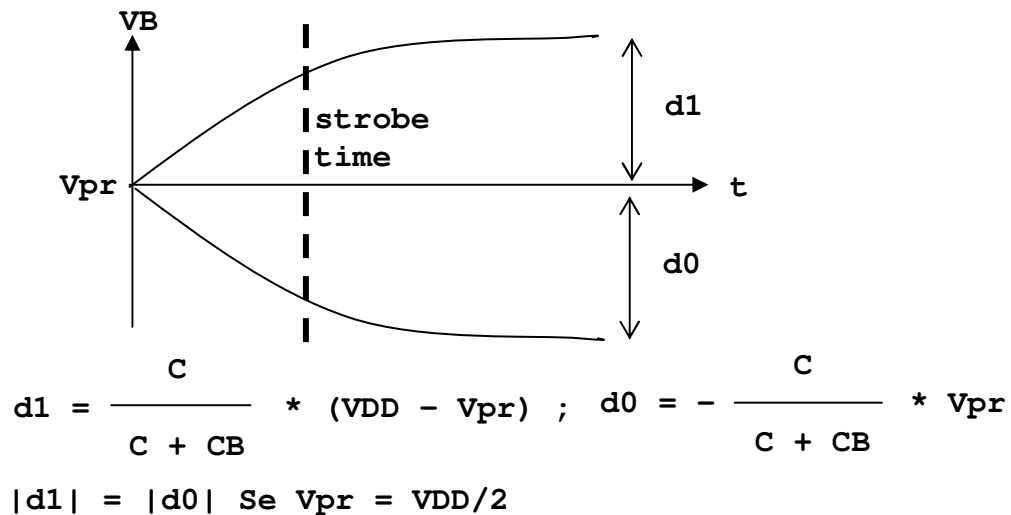
$V_{pr}$  e' una precarica della bit line B

Dopo la chiusura del transistor (boosted gate) :

1) 1 logico :  $V_B = V_S = \frac{C \cdot V_{DD} + C_B \cdot V_{pr}}{C + C_B}$

2) 0 logico :  $V_B = V_S = \frac{C_B}{C + C_B} * V_{pr}$

Variazione temporale di  $V_B$  :



Il sense viene effettuato rilevando la variazione  $d$  di  $V_B$  rispetto  $V_{pr}$ . Se  $C_B$  e' molto piu' grande di  $C$  il margine di sense e' molto piccolo.

### 3) Obiettivi di progettazione e compromessi

Gli obiettivi di progettazione di una cella dinamica 1T1C sono molteplici ma i parametri su cui si può intervenire sono essenzialmente due : la capacità C di immagazzinamento e le dimensioni W (L) del transistor di trasferimento.

C'è inoltre la complicazione che i differenti obiettivi di progettazione richiedono valori contrastanti di C e W per cui la definizione della struttura di una cella è frutto di compromesso :

Obiettivi di progettazione	C	W
Piccola area superficiale	piccola	piccola
Molte celle sulla stessa bit line	piccola	piccola
Grandi margini operativi e immunità al rumore	grande	piccola
Lettura veloce	grande	grande
Scrittura veloce	piccola	grande
Lunghi tempi di refresh	grande	piccola
Bassi consumi di potenza	piccola	piccola
Insensibilità all'impatto di particelle	grande	piccola
Operatività in condizioni estreme	grande	piccola

Paradossalmente, la capacità C di immagazzinamento in una cella DRAM 1T1C deve essere incrementata all'aumentare della densità dei bit per area in una memoria. Diverse vie possono essere percorse per recuperare i valori di C quando si riducono le dimensioni della capacità di storage :

- Riduzione dello spessore dell'ossido  $t_d$
- Uso di isolanti con alta costante dielettrica
- Diminuzione delle capacità parassite  $C_{ld}$  che si accoppiano in serie con C
- Aumento della effettiva area AC della capacità di storage senza aumentare la dimensione orizzontale

#### 4.1) Problematiche di implementazione : spessore dell'isolante

Lo spessore  $t_d$  dell'isolante della capacita' di immagazzinamento in una cella DRAM 1T1C si riduce proporzionalmente con la miniaturizzazione dell'intera memoria. Questa riduzione proporzionale potrebbe non essere sufficiente ed ulteriore assottigliamento dell'isolante potrebbe essere necessario per ottenere la voluta capacita' di storage CS.

Una eccessiva riduzione di  $t_d$  e' associata pero' a inconvenienti di cui bisogna tener conto e che potrebbero impedire di scendere a valori troppo piccoli di  $t_d$ . Tali inconvenienti sono associati ad un eccessivo campo elettrico  $E = VC / t_d$  dove  $VC$  e' la tensione ai capi della capacita'. Gli inconvenienti sono i seguenti :

- La conduzione  $I_D$  attraverso l'isolante cresce vistosamente con  $E$  secondo la legge

$$I_D = I_0 * e^{B\sqrt{E}} \quad \text{essendo } I_0 \text{ e } B \text{ costanti per lo specifico dielettrico}$$

- La corrente quantistica di tunnel  $I_{tu}$  attraverso il dielettrico potrebbe diventare rilevante
- La densita' di difetti  $D_d$  cresce con l'aumentare di  $t_d$  secondo la legge

$$D_d = D_0 * e^{-0.2 * t_d} \quad \text{essendo } D_0 \text{ la densita' di difetti prima della riduzione di } t_d$$

#### 4.2) Problematiche di implementazione : materiale dell'isolante

Il materiale piu' usato come isolante nelle celle DRAM 1T1C e' il biossido di silicio SiO<sub>2</sub>.

SiO<sub>2</sub> e' un isolante di fondamentale importanza in tutti i circuiti integrati a semiconduttore.

SiO<sub>2</sub> e' un materiale paraelettrico; cioe' la variazione di densita' di carica dD prodotta da un campo elettrico E associato alle due tensioni V1 (livello logico 1) e V0 (livello logico 0) e' proporzionale al campo elettrico applicato e non vi e' polarizzazione spontanea P.

$$dD = \epsilon_0 * \epsilon_d * E + P$$

$$P = 0 ; \epsilon_d \text{ e' la costante dielettrica di SiO}_2$$

Maggiore e' la costante dielettrica del materiale, minore puo' essere l'area Ac della capacita' di immagazzinamento per ottenere lo stesso effetto di storage dD.

Materiali paraelettrici con maggiore costante dielettrica del SiO<sub>2</sub> hanno comunque parametri I0 e B maggiori, tali da produrre maggiori correnti di conduzione attraverso l'isolante.

Le caratteristiche dei tre isolanti paraelettrici che possono realisticamente essere usati nelle memorie DRAM sono riportate di seguito :

Materiale	$\epsilon_d$	I0	B
SiO <sub>2</sub>	3.9	$5.1 * 10E-28$	17.7
Si <sub>3</sub> N <sub>4</sub>	7.0	$9.2 * 10E-18$	11.7
Ta <sub>2</sub> O <sub>5</sub>	23.0	$4.1 * 10E-15$	23.4



#### 4.3) Problematiche di implementazione : incremento della'area della capacita'

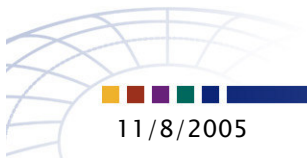
Il processo delle DRAM si e' evoluto negli ultimi anni cambiando notevolmente la configurazione della cella in modo da avere il piu' possibile la superficie.

Nonostante le innumerevoli varianti e' possibile classificare le celle DRAM 1T1C in 3 grandi categorie : planare, trench e stacked.

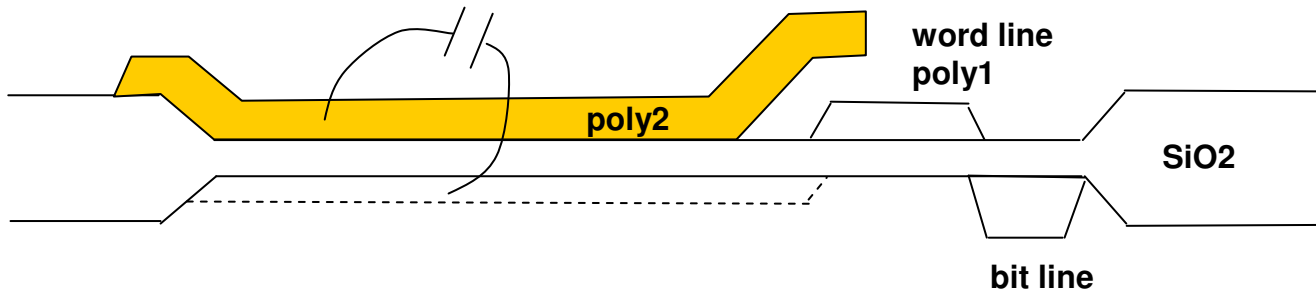
Nella cella planare, la bit line corre perpendicolarmente al disegno ed e' composta da una linea collegante tutte le drain dei transistori di colonna. La word line, realizzata da un primo livello di poly (poly1) corre parallelamente al disegno. Una delle armature del condensatore e' formata da un segmento di poly di secondo livello (poly2) normalmente connesso ad una tensione positiva in modo da invertire il substrato sottostante che costituisce sia la source virtuale del transistor di selezione, che l'altra armatura del condensatore.

Nella cella trench il condensatore e' ottenuto scavando con attacco chimico anisotropico il substrato e ricoprendo le pareti interne di SiO<sub>2</sub>. E' possibile controllare accuratamente la profondita' (alcuni micron) e la pendenza (alcuni gradi) delle pareti del trench, oltre che la qualita' e lo spessore uniforme del dielettrico. Il poly2 connesso alla tensione positiva si insinua nel trench mentre la source virtuale circonda le pareti del trench.

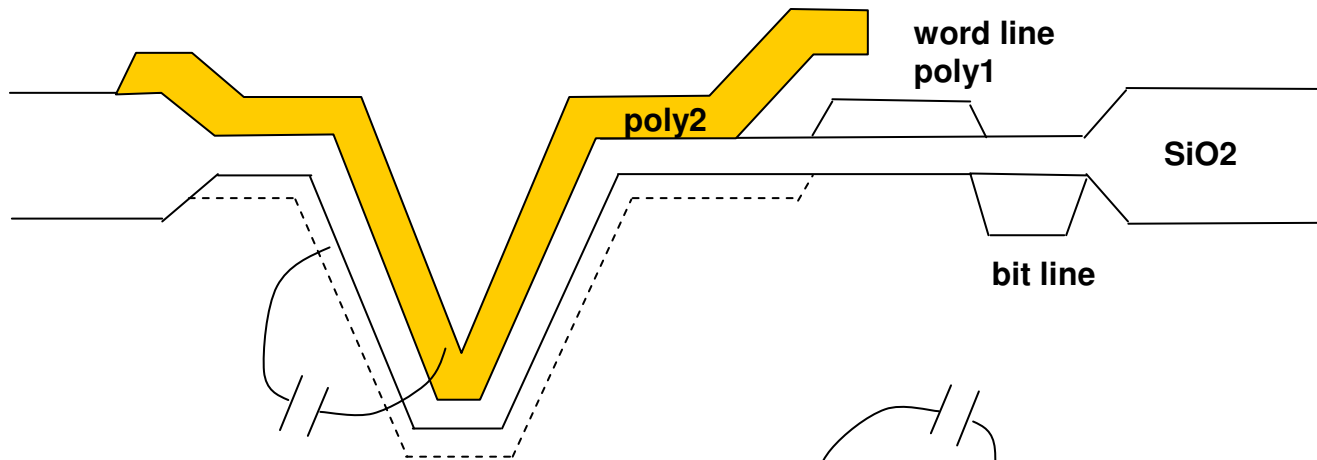
Nella cella stack la capacita' e' realizzata introducendo un terzo livello di poly (poly3). In questa struttura e' piu' semplice inserire tra poly2 e poly3 un dielettrico con alta costante dielettrica diverso da SiO<sub>2</sub>, aumentando la capacita' a parita' di area.



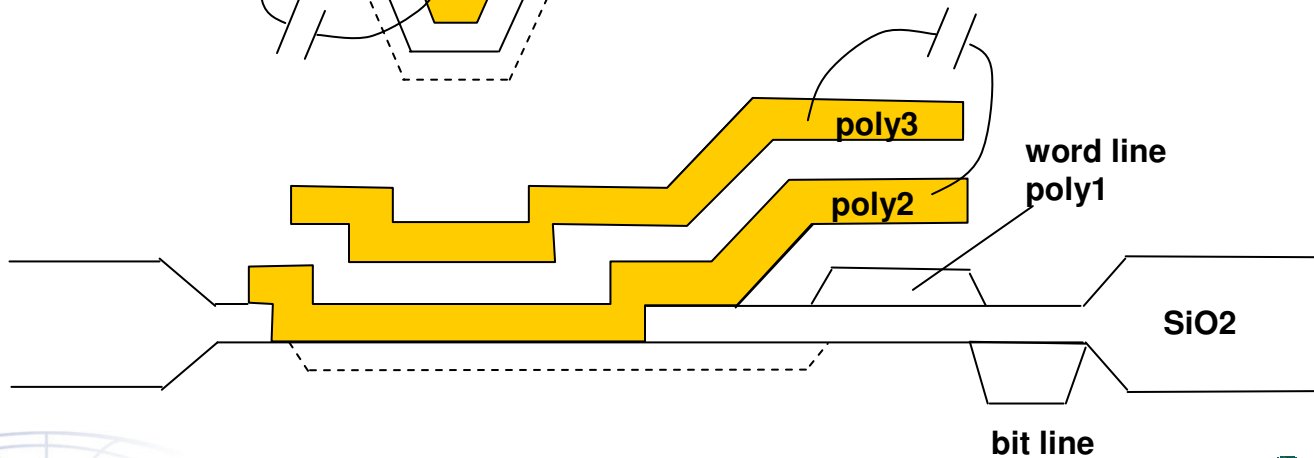
#### 4.3) Problematiche di implementazione : incremento della'area della capacita' (cont)



Cella DRAM planare



Cella DRAM trench



Cella DRAM stack

