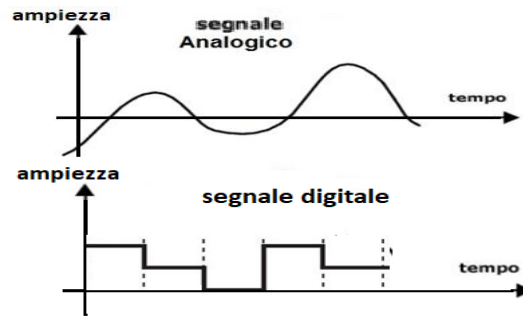


**CONVERSIONE A/D E D/A** I convertitori analogico/digitale e digitale/analogico sono i componenti fondamentali di ogni sistema di acquisizione, elaborazione e distribuzione dati.

Un **segnale analogico** è continuo sia in ampiezza sia nel tempo.

Un **segnale digitale** è discontinuo e la sua variazione avviene a livelli (discretizzazione) sull'asse delle ampiezze.



**Convertitore Analogico/Digitale (CA/D)**: Trasforma il segnale analogico in un segnale digitale ad  $n$  bit, effettuando l'operazione di:

- a- **Quantizzazione**: consiste nel rappresentare il segnale campionato (semi-analogico o discreto) attraverso un numero limitato di valori o livelli distinti, detti **Quanti (Q)**.

$$Q = \frac{V_{FS}}{2^n}$$

- b- **Codifica**: consiste nell'associare ad ogni livello un insieme di  $n$  bit.

### I PARAMETRI CHE CARATTERIZZANO UN CAD:

**TENSIONE FONDO SCALA ( $V_{FS}$ )**: la massima tensione convertibile in digitale che può essere applicata all'CA/D;

**TEMPO DI CONVERSIONE ( $t_c$ )**: è il tempo impiegato dal CA/D a trasformare il segnale analogico in segnale digitale

#### Per una corretta conversione occorre che:

- il segnale all'ingresso del ADC permanga costante per tutto il tempo di conversione  $t_c$  o perlomeno che l'ampiezza della sua variazione non superi  $1 \text{ LSB} = V_{FS}/2^n$ .
- Il tempo di conversione  $t_c$  è minore rispetto al periodo di campionamento  $T_c$  ovvero:

$$f_c = \frac{1}{T_c} \leq \frac{1}{t_c}$$

$t_c$ : tempo di conversione che corrisponde al tempo di apertura = fase hold ( $t_a$ ) del S/H

Per poter convertire in digitale un segnale sinusoidale e ricostruirlo fedelmente, occorre che la propria frequenza massima abbia un valore:

$$f_{\max} \leq 1/(\pi * 2^n * t_c)$$

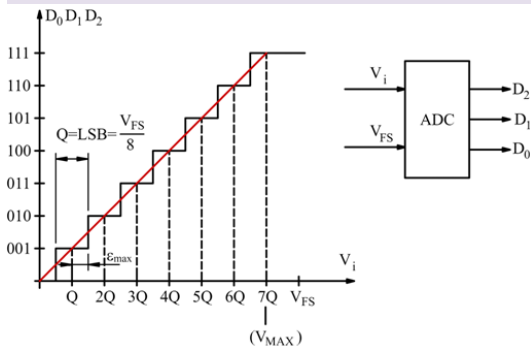
**RISOLUZIONE**: Indica il numero di valori discreti o i livelli che può produrre e che corrisponde anche al numero di bit necessari per esprimere il massimo numero in uscita al convertitore, e corrisponde al quanto (Q), rappresenta la larghezza del gradino. Esso indica la minima variazione della tensione in ingresso che causa una variazione nel codice binario in uscita.

$$R = \frac{V_{FS}}{2^n} = 1\text{LSB}$$

(Last Significant Bit: bit meno significativo)

Il numero decimale dei livelli da convertire in binario

$$N_{10} = V_i \frac{2^n}{V_{FS}}$$



Nell'esempio in figura l'uscita dell'ADC è un numero intero compreso tra 0 e 7 (000... 111 in binario). Quindi la risoluzione è pari a 3 bit.

Nel caso in esempio:

$$Q = \frac{(10-0)}{8} = 1,25V$$

Si nota come un valore di tensione in ingresso  $V_i=Q$  venga convertito in uscita col valore  $(001)_2$ , così come tutti i valori compresi fra  $Q/2$  e  $3Q/2$ . Viene così introdotto l'errore di quantizzazione  $\epsilon_{max}$ .

$$\epsilon_{max} = \pm \frac{Q}{2}$$

Il massimo valore di tensione in ingresso che può essere convertito in binario con errore  $\epsilon=0$ :

$$V_{max} = (2^n - 1) \cdot Q = V_{FS} - Q$$

**CONVERTITORE CA/D FLASH (O PARRALELO)**

Chiamato anche convertitore con priorità, è il convertitore analogico-digitale più veloce in assoluto, con tempi di conversione dell'ordine del nanosecondo e viene utilizzato per interfacciare i microprocessori.

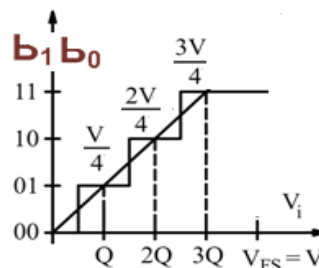
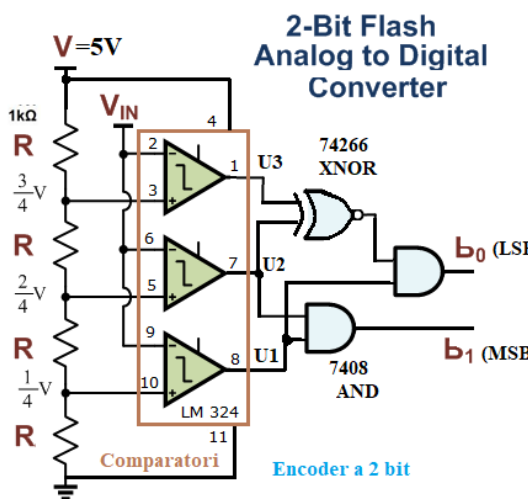
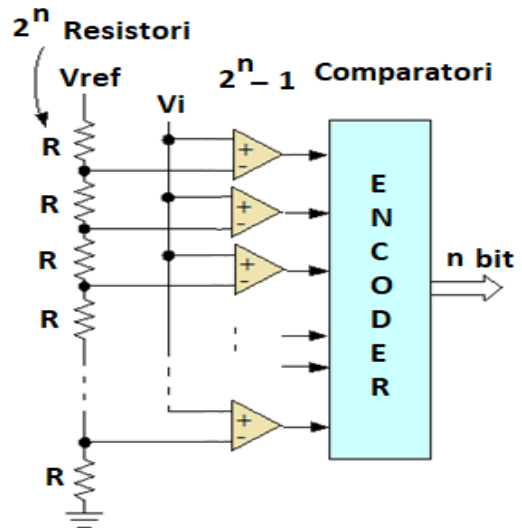
Per un convertitore a N bit, sono richieste:

- $2^N - 1$  comparatori
- $2^N$  resistori

La realizzazione di un ADC flash diviene estremamente complessa all'aumentare della risoluzione (numero di bit) del convertitore. Basti pensare che con 8 bit di risoluzione, occorrerebbero  $2^8 - 1 = 255$  comparatori diversi e 256 resistenze. Per questa ragione gli ADC flash sono piuttosto costosi e il loro utilizzo è limitato a risoluzioni non troppo elevate (max 10-12 bit).

In commercio sono AD5010KD ( 6 bit e  $t_c=20$  ns) – AD6020 6 bit e  $t_c=10$ ns)

**ADC flash a 2 bit:** Il circuito è composto da 4 resistenze, 3 comparatori e un encoder con 3 ingressi e 2 uscite.



L'uscita di ogni comparatore commuta a livello alto se la tensione analogica  $V_{IN}$  supera la tensione di soglia presente sull'ingresso non invertente. La codifica prodotta dall'encoder è mostrata nella tabella seguente:

	$U_3$	$U_2$	$U_1$	$b_1b_0$
$V_i < V/4$	0	0	0	00
$V/4 < V_i \leq 2V/4$	0	0	1	01
$2V/4 < V_i \leq 3V/4$	0	1	1	10
$V_i > 3V/4$	1	1	1	11

**ADC ad approssimazioni successive è un CA/D a retroazione**

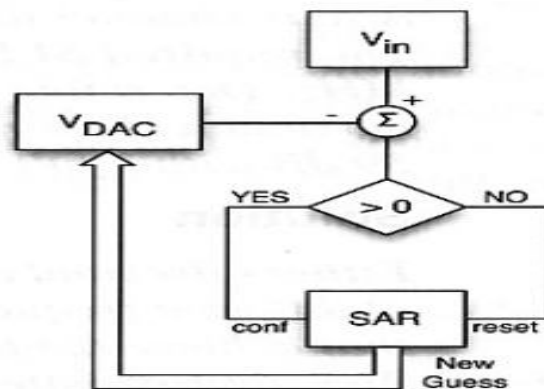
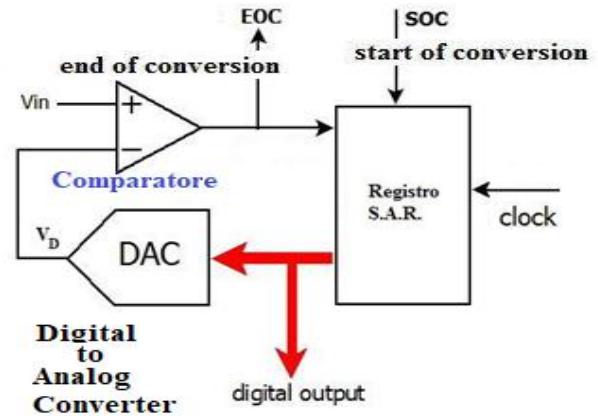
Nell'ADC ad approssimazioni successive (in inglese: *successive approximation ADC*) la logica di controllo è costituita da un registro ad approssimazioni successive (S.A.R. = Successive Approximation Register):

La conversione avviene confrontando l'uscita di un convertitore DA con la tensione analogica da convertire.

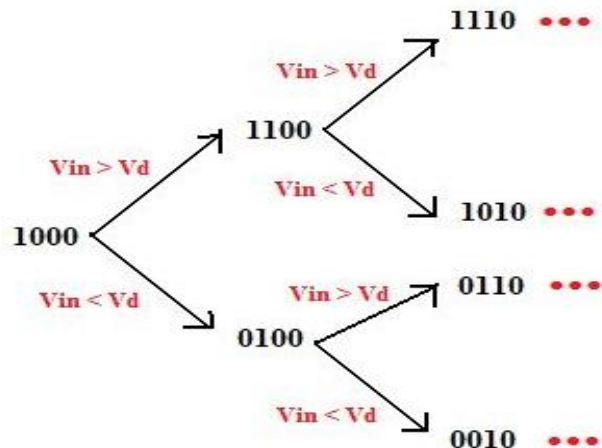
**Il funzionamento è il seguente:**

L'inizio della conversione viene attivato inviando al S.A.R. il segnale SOC. In questo modo nel SAR viene caricata una parola nella quale il solo bit più significativo (MSB) è posto a 1 (tutti gli altri bit sono a zero). L'uscita del DAC, pertanto, assume il valore corrispondente al suddetto codice.

- Se  $V_{in} > V_D$  il S.A.R. mantiene MSB a 1 e carica un altro 1 nel bit immediatamente successivo (cioè pone un 1 anche nel bit  $n-1$ ).
- Se, invece  $V_{in} < V_D$  il S.A.R. pone MSB a 0 e carica un 1 nel bit immediatamente successivo (cioè nel bit  $n-1$ ).
- I passi precedenti vengono ripetuti allo stesso modo per i bit successivi.

**Facciamo un esempio:**

Consideriamo un convertitore a 4 bit. All'inizio il S.A.R. viene inizializzato col codice 1000 (MSB a 1 e tutti gli altri bit a zero). Tale codice viene convertito in una tensione analogica dal DAC e confrontato con la  $V_{in}$ . Se  $V_{in}$  è maggiore di tale tensione, viene generato il nuovo codice 1100 (cioè viene messo a 1 anche il bit immediatamente successivo all'MSB). Se invece  $V_{in}$  è minore, il nuovo codice generato sarà 0100 (viene azzerato l'MSB e posto a 1 il bit immediatamente successivo). L'algoritmo di conversione procede allo stesso modo per i bit successivi, come mostrato in figura:



Il tempo di conversione dell'ADC ad approssimazioni successive è *costante* qualunque sia il valore del campione bit  $V_{in}$ . Indicando con  $T_{CK}$  il periodo del CLOCK e con  $n$  bit il numero di Bit del convertitore, il tempo di conversione  $t_c$  è:

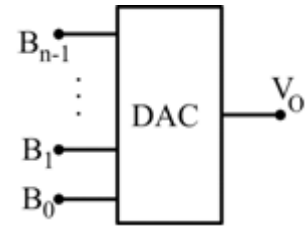
$$t_c = n * T_{CK}$$

Il tempo di conversione *non* dipende dal valore del campione  $V_{in}$ . Al crescere della risoluzione dell'ADC il tempo di conversione aumenta. Tale incremento, però, può essere compensato dalla diminuzione di  $T_{CK}$ , cioè dall'aumento della frequenza del CLOCK. Ciò consente di ottenere tempi di conversione costanti e ragionevolmente contenuti. Per queste ragioni gli ADC ad approssimazioni successive costituiscono una delle soluzioni circuitali più adottate dai costruttori e impiegate in svariati settori applicativi.

**Convertitore Digitale / Analogico (CD/A):**

Un convertitore digitale-analogico è un dispositivo che riceve in input un numero  $N$  decimale codificato in binario tramite  $n$  ingressi, esso fornisce poi un'uscita analogica.

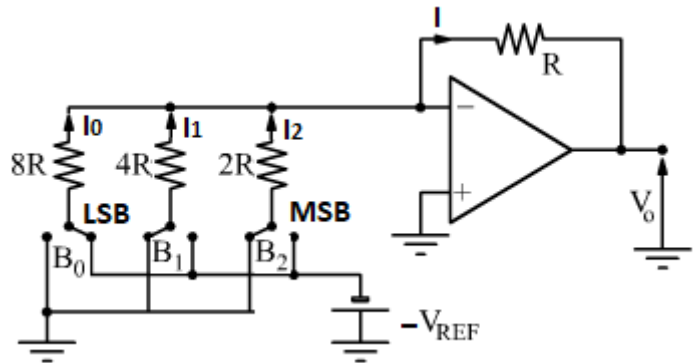
$$N = B_{n-1} 2^{n-1} + \dots + B_1 2^1 + B_0 2^0 = \sum_0^{n-1} B_i 2^i$$

**Convertitore D/A con rete a resistori pesate**

Analizziamo il DAC a 3 bit di figura. Le resistenze hanno un valore proporzionale ai pesi dei bit, quindi risultano essere:  $2^1 R$ ,  $2^2 R$ ,  $2^3 R$ . L'interruttore 0 se è aperto e 1 se è chiuso. Il circuito è un sommatore invertente.

La tensione di uscita è data dunque da

$$V_o = R/2R \cdot B_2 \cdot V_{ref} + R/4R \cdot B_1 \cdot V_{ref} + R/8R \cdot B_0 \cdot V_{ref} = -1/2 \cdot B_2 \cdot V_{ref} - 1/4 \cdot B_1 \cdot V_{ref} - 1/8 \cdot B_0 \cdot V_{ref}$$

**REALIZZAZIONE PRATICA E PROBLEMI**

In un DAC reale i deviatori sono realizzati per mezzo di interruttori elettronici (transistor) generalmente con tecnologia CMOS.

Il DAC a resistori pesati è tuttavia poco usato nella pratica perchè:

- non è semplice realizzare resistenze con valori differenti e perfettamente calibrati, in modo tale che i loro rapporti siano esattamente  $1/2$ ,  $1/4$ ,  $1/8$  eccetera.
- se il numero di bit è elevato, la resistenza più grande può assumere facilmente valori molto elevati (o, viceversa, occorrerebbe usare valori molto piccoli per la resistenza minore). Per esempio con  $n=12$  bit la resistenza maggiore vale  $2^{12} \cdot R$ , cioè 4096 volte il valore della resistenza minore.

**Per questi motivi sono state individuate per i DAC altre soluzioni circuitali. La più diffusa è quella della cosiddetta rete a scala R-2R.**

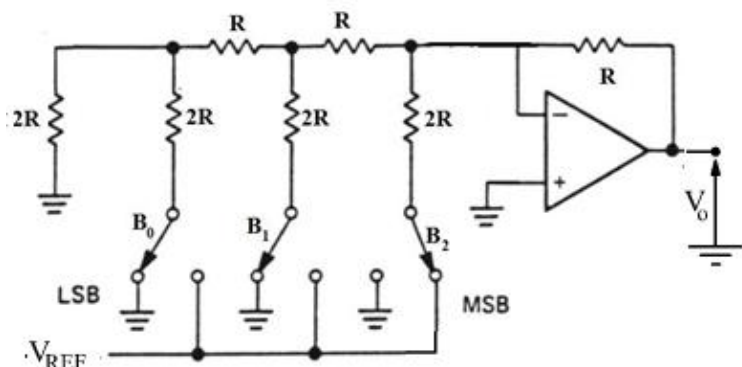
**Convertitore D/A con rete a scala R-2R:**

La struttura circuitale base di un DAC a scala R-2R a 3 bit è mostrata nella figura seguente:

Il risultato finale è comunque che la tensione di uscita  $V_{out}$  è data da:

$$V_o = 1/2 \cdot B_2 \cdot V_{ref} + 1/4 \cdot B_1 \cdot V_{ref} + 1/8 \cdot B_0 \cdot V_{ref}$$

cioè la stessa formula vista in precedenza per il DAC a resistori pesati.



**Rispetto al DAC a resistori pesati, quello a scala R-2R presenta il vantaggio di utilizzare solo due valori resistivi. Pertanto risulta più facilmente realizzabile con la tecnologia dei circuiti integrati.**